

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Akio UENISHI

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE SERVING AS A PROTECTING ELEMENT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

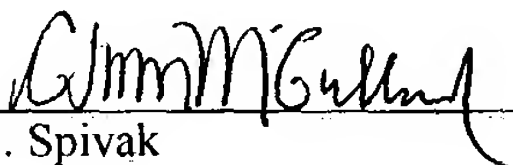
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-018555	January 28, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

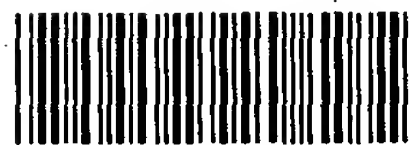
Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2003年 1月28日

出願番号
Application Number:

特願2003-018555

[ST.10/C]:

[JP2003-018555]

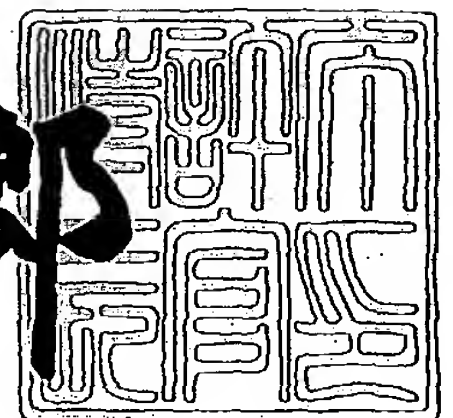
出願人
Applicant(s):

三菱電機株式会社

2003年 2月21日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009184

【書類名】 特許願

【整理番号】 542561JP01

【提出日】 平成15年 1月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 上西 明夫

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

 【識別番号】 100088845

 【弁理士】

 【氏名又は名称】 有田 貴弘

【手数料の表示】

 【予納台帳番号】 012852

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

特2003-018555

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体集積回路の入出力端子と接地端子との間に配設され、
静電気放電に対する前記半導体集積回路の保護素子として機能する半導体装置で
あって、

前記半導体装置は、

半導体基板の第 1 の主面に設けられたエミッタ電極と、

前記第 1 の主面の表面内に配設され、P 型不純物を含む P 型ベース領域と、

前記 P 型ベース領域の表面内に選択的に配設され、N 型不純物を比較的高濃度
に含み、前記エミッタ電極に接する N 型エミッタ領域と、

前記 P 型ベース領域の表面内に、前記 N 型エミッタ領域とは間隔を開けて選択
的に配設され、P 型不純物を比較的高濃度に含むベースコンタクト領域と、

前記ベースコンタクト領域上に配設されたベース電極と、

前記第 2 の主面の表面内に配設され、N 型不純物を比較的高濃度に含み、コレ
クタ電極に電氣的に接続される N 型コレクタ領域と、を備え、

前記エミッタ電極が前記入出力端子に接続され、

前記ベース電極と前記コレクタ電極とが接地電位に接続される、半導体装置。

【請求項 2】 前記 N 型エミッタ領域の直下の前記 P 型ベース領域の内部に
おいて前記 N 型エミッタ領域に接するように配設された、第 1 の P 型不純物領域
をさらに備える、請求項 1 記載の半導体装置。

【請求項 3】 半導体集積回路の入出力端子と接地端子との間に配設され、
静電気放電に対する前記半導体集積回路の保護素子として機能する半導体装置で
あって、

第 1 および第 2 の NPN トランジスタと、PNP トランジスタとを備え、

前記第 1 および第 2 の NPN トランジスタは、

それぞれのエミッタが共通に接続され、前記第 1 の NPN トランジスタのコレ
クタおよびベースが前記入出力端子に接続され、前記第 2 の NPN トランジスタ
のコレクタおよびベースが前記接地端子に接続され、

前記 PNP トランジスタは、

そのベースが、前記第 1 および第 2 の NPN トランジスタのそれぞれの前記エミッタに共通に接続され、エミッタが前記入出力端子に接続され、コレクタが前記接地端子に接続される、半導体装置。

【請求項 4】 前記半導体装置は、

半導体基板の第 1 の主面の表面内に配設され、N 型不純物を比較的低濃度を含む低濃度 N 型不純物領域と、

前記低濃度 N 型不純物領域の表面内に選択的に配設され、N 型不純物を比較的高濃度を含む N 型エミッタ領域と、

前記 N 型エミッタ領域を間に挟み、それぞれの一部が前記 N 型エミッタ領域に接触するように、前記低濃度 N 型不純物領域の表面内に選択的に配設された第 1 および第 2 の P 型ベース領域と、

前記第 1 および第 2 の P 型ベース領域のそれぞれの表面内において、前記 N 型エミッタ領域から離れた位置に選択的に配設され、N 型不純物を比較的高濃度を含む第 1 および第 2 の N 型コレクタ領域と、

前記第 1 および第 2 の P 型ベース領域の露出面と同一面をなすように露出する前記第 1 および第 2 の N 型コレクタ領域のそれぞれの一部と、前記第 1 および第 2 の P 型ベース領域のそれぞれの露出面の一部とに接触するようにそれぞれ配設された第 1 および第 2 のベース・コレクタ共通電極と、を備え、

前記第 1 のベース・コレクタ共通電極は、前記入出力端子に接続され、

前記第 2 のベース・コレクタ共通電極は、前記接地端子に接続され、

前記 N 型エミッタ領域は、前記第 1 および第 2 の NPN トランジスタのそれぞれの前記エミッタおよび前記 PNP トランジスタの前記ベースに対応する、請求項 3 記載の半導体装置。

【請求項 5】 前記第 1 および第 2 の P 型ベース領域と前記 N 型エミッタ領域とが接してそれぞれ PN 接合を形成している部分の、前記第 1 および第 2 の P 型ベース領域の表面内と、前記第 1 および第 2 の N 型コレクタ領域の底部に対応する前記第 1 および第 2 の P 型ベース領域の表面内にそれぞれ選択的に配設され、P 型不純物を前記第 1 および第 2 の P 型ベース領域よりも低濃度を含む複数の

P 型不純物領域をさらに備える、請求項 4 記載の半導体装置。

【請求項 6】 半導体集積回路の入出力端子と接地端子との間に配設され、
静電気放電に対する前記半導体集積回路の保護素子として機能する半導体装置で
あって、

N P N トランジスタと、P N P トランジスタと、ダイオードとを備え、

前記 N P N トランジスタのエミッタ、前記 P N P トランジスタのベースおよび
前記ダイオードのカソードとが共通に接続され、

前記ダイオードのアノードと前記 P N P トランジスタのエミッタとが前記入出
力端子に接続され、

前記 N P N トランジスタのコレクタおよびベースが前記接地端子に接続され、

前記 P N P トランジスタのコレクタが前記接地端子に接続される、半導体装置

。

【請求項 7】 前記半導体装置は、

半導体基板の第 1 の主面の表面内に配設され、N 型不純物を比較的低濃度を含
む低濃度 N 型不純物領域と、

前記低濃度 N 型不純物領域の表面内に選択的に配設され、N 型不純物を比較的
高濃度を含む N 型エミッタ領域と、

前記 N 型エミッタ領域を間に挟み、それぞれの一部が前記 N 型エミッタ領域に
接触するように、前記低濃度 N 型不純物領域の表面内に選択的に配設された第 1
および第 2 の P 型ベース領域と、

前記第 2 の P 型ベース領域の表面内において、前記 N 型エミッタ領域から離れ
た位置に選択的に配設され、N 型不純物を比較的高濃度を含む N 型コレクタ領域
と、

前記第 2 の P 型ベース領域の露出面と同一面をなすように露出する前記 N 型コ
レクタ領域の一部と、前記第 2 の P 型ベース領域の露出面の一部とに接触するよ
うに配設されたベース・コレクタ共通電極と、

前記第 1 の P 型ベース領域の露出面に接触するように配設されたアノード・エ
ミッタ共通電極と、を備え、

前記アノード・エミッタ共通電極は、前記入出力端子に接続され、

前記ベース・コレクタ共通電極は、前記接地端子に接続され、

前記N型エミッタ領域は、前記NPNトランジスタの前記エミッタおよび前記PNPトランジスタの前記ベースに対応する、請求項6記載の半導体装置。

【請求項8】 前記低濃度N型不純物領域の前記半導体基板の第2の主面側の表面全面に接するように配設され、N型不純物を比較的高濃度を含む高濃度N型不純物領域をさらに備え、

前記高濃度N型不純物領域は、接地電位に接続される、請求項4または7記載の半導体装置。

【請求項9】 前記低濃度N型不純物領域の前記半導体基板の第2の主面側の表面に接するように配設され、N型不純物を比較的高濃度を含む高濃度N型不純物領域をさらに備え、

前記高濃度N型不純物領域は、フローティング電位に保たれる、請求項4または7記載の半導体装置。

【請求項10】 前記低濃度N型不純物領域の前記半導体基板の第2の主面側の表面に接するように配設された絶縁層をさらに備える、請求項4または7記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特に静電気放電（ESD：electrostatic discharge）などのサージ電圧に対する保護素子として機能する半導体装置に関する。

【0002】

【従来の技術】

ESDなどのサージ電圧から半導体集積回路を保護する保護素子として、従来においては、入出力端子と接地端子との間にアバランシェダイオードを介挿する構成が使用されている。

【0003】

例えば特許文献1には、ESD保護デバイスとして、入出力端子側にカソードを接続し、接地にアノードを接続したアバランシェダイオードが示されている。

【 0 0 0 4 】

このような構成においては、入出力端子に印加されたサージ電圧の極性が正（プラス）である場合はアバランシェダイオードを降伏させてサージ電圧を抑制し、入出力端子に接続される半導体集積回路の破壊を防ぐものである。

【 0 0 0 5 】

【特許文献 1】 特開平5-48007号公報（第 4 欄、図 2）

【 0 0 0 6 】

従来の E S D 保護機構は以上のように構成されていたが、サージ電圧が入出力端子に入力された場合、アバランシェダイオードが降伏して半導体集積回路の内部素子に対して安全な電圧にまで低下するためには、アバランシェダイオードの直列抵抗成分を数オーム以下に設計する必要があるが、アバランシェダイオードは内部抵抗が大きく、大きな面積を必要とする。

【 0 0 0 7 】

また、アバランシェダイオードと共にサイリスタ素子を用いる構成もあるが、サイリスタ素子がサージ電圧でラッチした後も電流が流れ続けると、サイリスタ素子がオンしたままになるため、出力保護回路などの回路インピーダンスが低い回路に対しては適用できないなどの問題があった。

【 0 0 0 8 】

【発明が解決しようとする課題】

近年の半導体集積回路の消費電力の低下および小型化に伴って、上記のように内部抵抗が大きく、また大きな面積を必要とする保護素子ではコスト的な観点から適切とは言えず、また出力保護回路などの回路インピーダンスの低い回路には適さないという問題があった。

【 0 0 0 9 】

本発明は上記のような問題点を解消するためになされたもので、小型化され低消費電力の半導体集積回路や、低価格の半導体集積回路に対しても、コストに見合ったサージ電圧に対する耐性が得られるとともに、出力保護回路などの回路インピーダンスの低い回路にも適用可能な半導体装置を提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

本発明に係る請求項 1 記載の半導体装置は、半導体集積回路の入出力端子と接地端子との間に配設され、静電気放電に対する前記半導体集積回路の保護素子として機能する半導体装置であって、前記半導体装置は、半導体基板の第 1 の主面に設けられたエミッタ電極と、前記第 1 の主面の表面内に配設され、P 型不純物を含む P 型ベース領域と、前記 P 型ベース領域の表面内に選択的に配設され、N 型不純物を比較的高濃度に含み、前記エミッタ電極に接する N 型エミッタ領域と、前記 P 型ベース領域の表面内に、前記 N 型エミッタ領域とは間隔を開けて選択的に配設され、P 型不純物を比較的高濃度に含むベースコンタクト領域と、前記ベースコンタクト領域上に配設されたベース電極と、前記第 2 の主面の表面内に配設され、N 型不純物を比較的高濃度に含み、コレクタ電極に電氣的に接続される N 型コレクタ領域とを備え、前記エミッタ電極が前記入出力端子に接続され、前記ベース電極と前記コレクタ電極とが接地電位に接続される。

【 0 0 1 1 】

本発明に係る請求項 3 記載の半導体装置は、半導体集積回路の入出力端子と接地端子との間に配設され、静電気放電に対する前記半導体集積回路の保護素子として機能する半導体装置であって、第 1 および第 2 の NPN トランジスタと、PNP トランジスタとを備え、前記第 1 および第 2 の NPN トランジスタは、それぞれのエミッタが共通に接続され、前記第 1 の NPN トランジスタのコレクタおよびベースが前記入出力端子に接続され、前記第 2 の NPN トランジスタのコレクタおよびベース電極が前記接地端子に接続され、前記 PNP トランジスタは、そのベースが、前記第 1 および第 2 の NPN トランジスタのそれぞれの前記エミッタに共通に接続され、エミッタが前記入出力端子に接続され、コレクタが前記接地端子に接続される。

【 0 0 1 2 】

本発明に係る請求項 6 記載の半導体装置は、半導体集積回路の入出力端子と接地端子との間に配設され、静電気放電に対する前記半導体集積回路の保護素子として機能する半導体装置であって、NPN トランジスタと、PNP トランジスタ

と、ダイオードとを備え、前記NPNトランジスタのエミッタ、前記PNPトランジスタのベースおよび前記ダイオードのカソードとが共通に接続され、前記ダイオードのアノードと前記PNPトランジスタのエミッタとが前記入出力端子に接続され、前記NPNトランジスタのコレクタおよびベースが前記接地端子に接続され、前記PNPトランジスタのコレクタが前記接地端子に接続される。

【0013】

【発明の実施の形態】

< A. 実施の形態1 >

< A-1. 装置構成 >

本発明に係る半導体装置の実施の形態1の保護素子100の構成について図1および図2を用いて説明する。

【0014】

図1に示すように保護素子100は、サージ電圧が印加される可能性のある入出力端子PD1にエミッタが接続され、接地端子GD1にコレクタおよびベースが接続されたNPNトランジスタT1で構成されている。なお、入出力端子PD1（パッドとも呼称される）には保護すべき半導体集積回路ICも接続されているが、半導体集積回路ICの構成については特に限定されないので説明は省略する。

【0015】

次に、図2を用いて保護素子100の断面構成を説明する。

【0016】

図2に示すように、保護素子100は、図1に示す接地端子GD1に接続されるコレクタ電極CD1上に配設されたN型不純物を比較的高濃度（ $5 \times 10^{18} / \text{cm}^3 \sim 5 \times 10^{19} / \text{cm}^3$ ）に含むN型コレクタ領域1と、N型コレクタ領域1上に配設され、N型不純物を比較的低濃度（ $5 \times 10^{14} / \text{cm}^3 \sim 1 \times 10^{16} / \text{cm}^3$ ）に含む低濃度N型コレクタ領域2と、低濃度N型コレクタ領域2上に配設され、P型不純物の濃度が $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{17} / \text{cm}^3$ のP型ベース領域3とを備えている。なお、N型コレクタ領域1と低濃度N型コレクタ領域2とP型ベース領域3とで半導体基板を構成するので、これらを総称して半導体

基板と呼称する場合もある。

【0017】

そして、P型ベース領域3の表面内には、P型不純物を比較的高濃度 ($5 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$) に含むベースコンタクト領域4およびN型不純物を比較的高濃度 ($5 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$) に含むN型エミッタ領域7が、それぞれ選択的に配設されている。

【0018】

また、N型エミッタ領域7に接するように設けられ、N型エミッタ領域7よりも深い位置にまで達し、P型不純物をやや高濃度 ($3 \times 10^{16} / \text{cm}^3 \sim 3 \times 10^{17} / \text{cm}^3$) に含むP型不純物領域6 (第1のP型不純物領域) と、ベースコンタクト領域4に接するように設けられ、ベースコンタクト領域4よりも深い位置にまで達し、P型不純物をやや高濃度 ($3 \times 10^{16} / \text{cm}^3 \sim 3 \times 10^{17} / \text{cm}^3$) に含むP型不純物領域5 (第2のP型不純物領域) と、を併せて備えている。

【0019】

ベースコンタクト領域4およびN型エミッタ領域7とは直接接触することなく配設され、P型ベース領域3の主面と同一面をなすように露出するベースコンタクト領域4およびN型エミッタ領域7の端縁部上に跨るように絶縁膜ISが選択的に配設されている。

【0020】

そして、P型ベース領域3の主面と同一面をなすように露出するベースコンタクト領域4の表面上にはベース電極BD1が配設され、P型ベース領域3の主面と同一面をなすように露出するN型エミッタ領域7の表面上にはエミッタ電極ED1が配設されている。ここで、ベース電極BD1は図1に示す接地端子GD1に接続され、エミッタ電極ED1は図1に示す入出力端子PD1に接続される。

【0021】

なお、ベース電極BD1とエミッタ電極ED1との間は、絶縁膜ISによって電氣的に絶縁されている。

【0022】

以上説明したように、N型コレクタ領域1、P型ベース領域3およびN型エミッタ領域7でNPNトランジスタT1が構成され、NPNトランジスタT1の主電流が基板主面に対して垂直な方向に流れるので、縦型NPNトランジスタであると言える。

【0023】

なお、保護素子100においてはコレクタ電極CD1を、ベース電極BD1およびエミッタ電極ED1とは反対側の主面に設けた例を示したが、コレクタ電極CD1をベース電極BD1およびエミッタ電極ED1と同じ主面側に設け、N型コレクタ領域1をコレクタウォールを介してコレクタ電極CD1に電氣的に接続する構成を採ることが多い。

【0024】

<A-2. 装置動作>

以下、保護素子100の動作について図1、図2を参照しつつ、図3～図8を用いて説明する。

【0025】

図3には、保護素子100を備えた構成において、接地端子GD1（図1）に対して入出力端子PD1（図1）に正バイアスを印加した場合の電流・電圧特性のデバイスシミュレーション結果を示す。

【0026】

図3において、横軸には入出力端子PD1に印加される端子電圧（V）を、縦軸には、入出力端子PD1に流れる端子電流（A/ μ m）を示す。なお、縦軸は対数表示である。

【0027】

図3においては、破線で示す特性曲線CH1が、デバイスシミュレーションによる降伏特性の一般的な定常解を示しており、実線で示す特性曲線CH2は、電流を一定の時間割合（ここでは1秒あたり10mA/ μ m）で連続的に増加して得た過渡解を示している。

【0028】

デバイスシミュレーションによる降伏特性の定常解は、電流を増していく途中

で収束しなくなる可能性があるので、今回のように高電流領域での特性を評価する場合には、過渡解法を用いることが望ましい。

【0029】

ただし、図3に示されるように降伏電圧（この場合では13V）未満の印加電圧では過渡解法による漏れ電流が桁違いに大きくなるが、これはPN接合を通る変位電流に起因するものであり、直流的な漏れ電流とは異なるものである。

【0030】

図3に示すように、端子電流が $10\mu\text{A}/\mu\text{m}$ 程度以下では13V程度の端子電圧で降伏しているが、端子電流が約 $20\mu\text{A}/\mu\text{m}$ を超えた辺りから、端子電圧は減少に転じ、端子電流が約 $300\mu\text{A}/\mu\text{m}$ で最小値（8V程度）となる。なお、端子電流がこれ以上になると、端子電圧が上昇する特性となっている。このような特性となる理由について以下に説明する。

【0031】

すなわち、端子電流が $10\mu\text{A}/\mu\text{m}$ 程度以下の低電流領域では、エミッタ・ベース接合が降伏し、大部分の電流はエミッタからベースに流れているが、端子電流が増加するのに伴って、P型ベース領域3内の電位が上昇し、端子電流が $10\mu\text{A}/\mu\text{m}$ を超えるとベース・コレクタ接合が順バイアス状態になる。

【0032】

この状態では、NPNトランジスタT1が逆動作を始め、逆NPNトランジスタとなる。逆NPNトランジスタとは、一般的にNPNトランジスタのエミッタとコレクタの接続関係を入れ換えたものを指すが、デバイスシミュレーションでは逆特性として評価する。

【0033】

逆NPNトランジスタにおいては、サステイン動作によって耐圧を保持するようになる。なおサステイン動作とは、ベース・コレクタ接合においてインパクトイオン化により生成された小数キャリアによる電流がベースに流れ込むことで、外部からのベース電流の供給を超える実効的なベース電流が流れた状態となり、結果的に大きなコレクタ電流が流れる動作である。

【0034】

なお、ベース・コレクタ接合が順バイアスになると、不純物濃度が低いN型コレクタ領域2においては伝導度変調が発生し、抵抗成分は低くなる。このため、端子電流が $20\mu\text{A}/\mu\text{m}$ ないし $300\mu\text{A}/\mu\text{m}$ の領域では、端子電圧は減少に転じる。

【0035】

そして、端子電流がさらに大きくなり、約 $300\mu\text{A}/\mu\text{m}$ を超えると、P型ベース領域3を流れる電流によって電圧降下が発生して微分抵抗が正に転じ、端子電圧は増加に転じるものと考えられる。

【0036】

上述した大電流動作は、保護素子100に $10\text{mA}/\mu\text{m}$ の電流を通電した状態での電流および電位の分布シミュレーション結果を示す図4によっても裏付けられている。

【0037】

すなわち、図4は、大電流動作状態における保護素子100中の、電流線および電位の分布を、電流線FLおよび等電位線PLで示した図であり、等電位線PLは、エミッタ電極ED1に近づくほど電位が高くなるように示されている。なお、このシミュレーションは、エミッタ電極ED1には8.78Vの電圧を印加し、 $10\text{mA}/\mu\text{m}$ の電流を流すという条件で行っている。

【0038】

このシミュレーションにより、エミッタ電極ED1に流れる電流の97.5%までがコレクタ電極CD1に流れ、ベース電極BD1にはごくわずかししか流れないことが判った。

【0039】

また、P型ベース領域3の内部においては、図面の左端に近づくにつれて等電位線PLの間隔が広がっていることから、電流が流れることで電圧降下が発生していることが判る。

【0040】

また、エミッタ電極ED1の直下の電流は極めて均一な分布で流れており、電流の集中を防止しているが、これは、比較的高濃度なN型エミッタ領域7の下に

、やや高濃度なP型不純物領域6を設けてエミッタ・ベース接合の降伏電圧をエミッタ周辺部よりやや低くしたためである。

【0041】

次に、保護素子100に人体モデル(HBM: HumanBodyModel)に基づく1kVの静電気放電サージを印加した場合の応答特性についてのデバイスシミュレーションを行った結果を図5に示す。なお、保護素子100の奥行き幅は100 μ mとするが、この値はESDで1A程度のパルス電流が流れると仮定し、当該電流を安全に流すために必要と考えられる素子面積を素子幅で除した値である。

【0042】

図5において、横軸に経過時間(sec)を、縦軸には端子電圧(V)、端子電流(A)、最大温度上昇値(K)を示す。なお、縦軸、横軸ともに対数表示である。

【0043】

図5においては、入出力端子PD1を接地端子GD1に対して正にバイアスした場合、すなわち正のサージ電圧を加えた場合の各種の応答特性を実線で示し、接地端子GD1に対して負にバイアスした場合、すなわち負サージ電圧を加えた場合の各種の応答特性を破線で示す。また、正のサージ電圧を加えた場合の端子電圧、端子電流、最大温度上昇値の特性曲線を、それぞれCH11、CH12、CH13として示し、負のサージ電圧を加えた場合の端子電圧、端子電流、最大温度上昇値の特性曲線を、それぞれCH21、CH22、CH23として示す。なお、端子電流特性CH12とCH22とは同じ特性を示して重複している。

【0044】

図5に示すように、正のサージ電圧が印加された場合、端子電圧は、サージ印加後300psec程度で14V程度(CH11参照)に上昇した後、徐々に減少し、端子電流がピーク(CH12参照)に達する20nsec時点では9V程度となっている。さらに端子電流が減少し、数mA(=数十 μ A/ μ m)程度になると、端子電圧は再び13Vに回復している。

【0045】

また、最大温度上昇値は端子電流のピークが過ぎてかなり後の200nsec

程度の時点で90 K程度の最大温度上昇値となっているが、素子にとっては十分な安全な範囲である。

【0046】

ここで、正のサージ電圧を印加後、30 nsecの時点における保護素子100中の電流および電位の分布を図6に示す。図6において、等電位線PLは、エミッタ電極ED1に近づくほど電位が高くなるように示されている。なお、この時点ではエミッタ電極ED1には8.79 Vの電圧が印加され、574 mAの電流が流れている。

【0047】

図6からは、図4に示した大電流定常状態での電流および電位の分布のシミュレーション結果とほぼ同様に、電流は大部分がエミッタからコレクタに向かって均一に流れ、ベースにはわずかししか流れていないことが判る。

【0048】

ここで、図5の説明に戻る。図5に示すように負のサージ電圧が印加された場合、端子電圧は、1.5 V程度にクランプされ（CH21参照）、最大温度上昇値も14 K程度（CH23参照）に低く抑えられているが、これは負のサージ電圧の場合にはベース・エミッタ間が順方向にバイアスされ、通常のコレクタ・ベース短絡のNPNトランジスタの動作になるためである。

【0049】

ここで、コレクタ電極CD1を接地端子GD1に接続しない状態でESDサージを印加した場合の保護素子100の応答特性についてのデバイスシミュレーションを行った結果を図7に示す。なお、保護素子100の奥行き幅は100 μ mとする。また、図5において、横軸に経過時間(sec)を、縦軸には端子電圧(V)、端子電流(A)、最大温度上昇値(K)を示す。なお、縦軸、横軸ともに対数表示である。

【0050】

また、図7においては、入出力端子PD1を接地端子GD1に対して正にバイアスした場合、すなわち正のサージ電圧を加えた場合の各種の応答特性を実線で示し、接地端子GD1に対して負にバイアスした場合、すなわち負サージ電圧を

加えたの各種の応答特性を破線で示す。また、正のサージ電圧を加えた場合の端子電圧、端子電流、最大温度上昇値の特性曲線を、それぞれCH3 1、CH3 2、CH3 3として示し、負のサージ電圧を加えた場合の端子電圧、端子電流、最大温度上昇値の特性曲線を、それぞれCH4 1、CH4 2、CH4 3として示す。なお、端子電流特性CH3 2とCH4 2とは同じ特性を示して重複している。

【0051】

図7に示すように、正のサージ電圧が印加された場合、端子電圧は最大で70 V程度に達し、また最大温度上昇値も2000 K程度になっており、この状態では保護素子としての機能が得られないばかりでなく、保護素子100自体が熱破壊するものと考えられる。

【0052】

このシミュレーションにおいて、30 nsecの時点における保護素子100中の電流および電位の分布を図8に示す。図8において、等電位線PLは、エミッタ電極ED1に近づくほど電位が高くなるように示されている。なお、この時点ではエミッタ電極ED1には50.99 Vの電圧が印加され、548 mAの電流が流れている。

【0053】

図8において、全ての電流がエミッタ電極ED1からベース電極BD1に向かってP型ベース領域3の表面付近のごく狭い領域を流れるため電流密度が異常に高くなっており、電圧降下も大きく、また温度上昇も大きいことの理由が判る。

【0054】

< A - 3 . 効果 >

以上説明したように、コレクタをベースと共に接地電位に接続した縦型NPNトランジスタT1を保護素子100として用いることで、サージ電圧の抑制効果とともに、保護素子100の温度上昇も低く抑えることができる。

【0055】

また、図3を用いて説明したように、端子電流が約 $20 \mu\text{A} / \mu\text{m}$ を超えると、ベース・コレクタ接合が順バイアスとなり、不純物濃度が低いN型コレクタ領域2においては伝導度変調が発生し、抵抗成分は低くなる。このため、素子面積

が小さくてもESDサージによる大きな電流が流れても素子が破壊されることがないので、素子面積を小さくでき、経済的な保護素子を得ることができる。

【 0 0 5 6 】

また、サイリスタ素子を用いないので、サイリスタ素子がサージ電圧でラッチした後も電流が流れ続けるという問題がなく、出力保護回路などの回路インピーダンスが低い回路に対しても適用できる。

【 0 0 5 7 】

また、図5を用いて説明したように、サージ電圧の印加中には端子電圧が8V程度となる。これは、サージ電圧の印加中には素子耐圧が8V程度に低下することを意味するが、換言すれば、素子耐圧は8V程度までしか低下しないので、サージが入力される以外の経路であって、入出力端子PD1に電圧を入力する経路があり、定常的に外部電源から電圧が入力されている場合、この電圧が8V未満であれば、サージ電流が流れ終わった後、上記外部電源から保護素子100を介して電流が接地側に流れることはない。

【 0 0 5 8 】

従って、例えば動作電圧が5VのCMOS出力回路などのサージに対する保護においても保護素子100は有効であると言える。

【 0 0 5 9 】

なお、上記説明では、サージ電圧の印加中の最低素子耐圧は8V程度としたが、この値は、NPNトランジスタT1が逆NPNトランジスタとなってサステイン動作によって耐圧を保持している状態での耐圧である。

【 0 0 6 0 】

< B. 実施の形態 2 >

< B - 1. 装置構成 >

本発明に係る半導体装置の実施の形態2の保護素子200の構成について図9および図10を用いて説明する。

【 0 0 6 1 】

図9に示すように保護素子200は、NPNトランジスタT11およびT12と、PNPトランジスタT13とを備えている。

【0062】

NPNトランジスタT11およびT12のエミッタはノードN11で共通に接続され逆直列接続となっている。また、NPNトランジスタT11のコレクタとベースとをノードN12で共通に接続し、NPNトランジスタT12のコレクタとベースとをノードN13で共通に接続している。なお、ノードN12には、さらに入出力端子PD11が接続されるとともに、PNPトランジスタT13のエミッタが接続され、ノードN13には、さらに接地端子GD11が接続されるとともに、PNPトランジスタT13のコレクタが接続されている。

【0063】

そして、PNPトランジスタT13のベースはノードN11に接続され、NPNトランジスタT11およびT12のエミッタと共通に接続されている。

【0064】

なお、入出力端子PD11には保護すべき半導体集積回路ICも接続されているが、半導体集積回路ICの構成については特に限定されないので説明は省略する。

【0065】

次に、図10を用いて保護素子200の断面構成を説明する。

【0066】

図10に示すように、保護素子200は、P型不純物を含むP型半導体基板10上に配設されたN型不純物を比較的高濃度 ($5 \times 10^{18} / \text{cm}^3 \sim 5 \times 10^{19} / \text{cm}^3$) に含む高濃度N型不純物領域11と、高濃度N型不純物領域11上に配設され、N型不純物を比較的低濃度 ($5 \times 10^{14} / \text{cm}^3 \sim 1 \times 10^{16} / \text{cm}^3$) に含む低濃度N型不純物領域12とを備えている。なお、P型半導体基板10と、高濃度N型不純物領域11と、低濃度N型不純物領域12とで半導体基板を構成するので、これらを総称して半導体基板と呼称する場合もある。

【0067】

そして、低濃度N型不純物領域12の表面内には、N型不純物を比較的高濃度 ($5 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$) に含むN型エミッタ領域13が選択的に配設され、また、N型エミッタ領域13を間に挟むように、N型エミッタ領

域13の両端縁部側に、それぞれP型不純物を比較的高濃度 ($1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{17} / \text{cm}^3$) に含むP型ベース領域141および142 (第1および第2のP型ベース領域) が選択的に配設されている。なお、P型ベース領域141および142は、何れもN型エミッタ領域13の端縁部の底部に接するように形成され、当該部分でN型エミッタ領域13とPN接合を形成している。

【0068】

また、P型ベース領域141および142の表面内においては、N型エミッタ領域13の端縁部から離れた位置に、N型不純物を比較的高濃度 ($5 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$) に含むN型コレクタ領域151および152 (第1および第2のN型コレクタ領域) がそれぞれ選択的に設けられている。

【0069】

また、P型ベース領域141および142とN型エミッタ領域13とが接してそれぞれPN接合を形成している部分の、P型ベース領域141および142の表面内と、N型コレクタ領域151および152の底部に対応するP型ベース領域141および142の表面内には、P型不純物をやや高濃度 ($3 \times 10^{16} / \text{cm}^3 \sim 3 \times 10^{17} / \text{cm}^3$) に含むP型不純物領域16がそれぞれ選択的に配設されている。

【0070】

そして、P型ベース領域141および142の露出面と同一面をなすように露出するN型コレクタ領域151および152のそれぞれの一部と、P型ベース領域141および142の露出面の一部とに接触するように、それぞれベース・コレクタ共通電極BD11およびBD12 (第1および第2のベース・コレクタ共通電極) が配設され、N型コレクタ領域151とP型ベース領域141とがベース・コレクタ共通電極BD11によって共通に接続され、N型コレクタ領域152とP型ベース領域142とがベース・コレクタ共通電極BD12によって共通に接続されている。

【0071】

なお、図10においては、図に向かって左側のベース・コレクタ共通電極BD12が図9に示す接地端子GD11に接続され、図に向かって右側のベース・コ

レクタ共通電極BD11が図9に示す入出力端子PD11に接続される構造となっている。

【0072】

従って、N型コレクタ領域152、P型ベース領域142およびN型エミッタ領域13でNPNトランジスタT12が構成され、N型コレクタ領域151、P型ベース領域141およびN型エミッタ領域13でNPNトランジスタT11が構成され、P型ベース領域141および142と、N型エミッタ領域13とでPNPトランジスタT13が構成される。

【0073】

なお、N型エミッタ領域13の露出面全域を覆うとともに、N型エミッタ領域13とN型コレクタ領域151および152との間のP型ベース領域141および142の露出面およびN型コレクタ領域151および152の露出面の一部上部を覆うように絶縁膜IS1が配設されており、2つのベース電極・コレクタ共通BD11の間は、絶縁膜IS1によって電氣的に絶縁されている。

【0074】

なお、高濃度N型不純物領域11はフローティング状態としても良く、また接地に接続しても良い。

【0075】

高濃度N型不純物領域11をフローティング状態とした場合は、高濃度N型不純物領域11を主面上の配線に電氣的に接続するための配線領域（コレクタウォール等）が不要となるので、保護素子の面積が少なくて済む利点がある。

【0076】

また、高濃度N型不純物領域11を接地に接続した場合でも、所期の効果を得ることができる。

【0077】

< B-2. 装置動作 >

以下、保護素子200の動作について図9、図10を参照しつつ、図11～図13を用いて説明する。

【0078】

図11には、保護素子200を備えた構成において、接地端子GD11（図9）に対して入出力端子PD11（図9）に正バイアスを印加した場合の電流・電圧特性のデバイスシミュレーション結果を示す。

【0079】

図11において、横軸には入出力端子PD11に印加される端子電圧（V）を、縦軸には、入出力端子PD11に流れる端子電流（A/ μ m）を示す。なお、縦軸は対数表示である。

【0080】

図11においては、破線で示す特性曲線CH3が、デバイスシミュレーションによる降伏特性の一般的な定常解を示しており、実線で示す特性曲線CH4は、電流を一定の時間割合（ここでは1秒あたり10mA/ μ m）で連続的に増加して得た過渡解を示している。

【0081】

このシミュレーションでは、定常解法では、わずかな電流が流れた段階で収束しなくなったが、過渡解法では1アンペアに近い大電流領域まで計算結果が得られた。

【0082】

ただし、図11に示されるように降伏電圧（この場合では14.5V）未満の印加電圧での電流値の急激な変化は、PN接合を通る変位電流に起因するものである。

【0083】

図11に示すように、過渡解法によれば、端子電流が100nA/ μ m以下の低電流領域では14.5Vの端子電圧で降伏しているが、端子電流が1 μ A/ μ mを超える領域から端子電圧が増加し、端子電流が80 μ A/ μ mでは端子電圧は18V程度にまで増加している。その後は、端子電流の増加とともに端子電圧は減少し、端子電流が3mA/ μ m程度で極小値の8Vに達し、それ以降は増加に転ずる特性となっている。

【0084】

特性曲線CH4の傾向としては、端子電圧の最小値は8Vであり、端子電圧が

一旦上がって、一旦下がり、再び増加するという点では図 3 に示した保護素子 1 0 0 の過渡解法による特性曲線 C H 2 と類似しているが、端子電圧の最大値は保護素子 2 0 0 の方が大きい。

【 0 0 8 5 】

次に、保護素子 2 0 0 に H B M に基づく 1 k V の静電気放電サージを印加した場合の応答特性についてのデバイスシミュレーションを行った結果を図 1 2 に示す。なお、保護素子 2 0 0 の奥行き幅は 1 0 0 μ m とする。

【 0 0 8 6 】

図 1 2 において、横軸に経過時間 (sec) を、縦軸には端子電圧 (V)、端子電流 (A)、最大温度上昇値 (K) を示す。なお、縦軸、横軸ともに対数表示であるが、縦軸の端子電圧、端子電流および最大温度上昇値については、それぞれ ± 1 V、 ± 1 A および ± 1 K を中心軸とし、上側に正の値を、下側に負の値を示すようにしている。

【 0 0 8 7 】

図 1 2 においては、入出力端子 P D 1 1 を接地端子 G D 1 1 に対して正にバイアスした場合、すなわち正のサージ電圧を加えた場合の各種の応答特性を実線で示し、接地端子 G D 1 1 に対して負にバイアスした場合、すなわち負サージ電圧を加えた場合の各種の応答特性を破線で示す。また、正のサージ電圧を加えた場合の端子電圧、端子電流、最大温度上昇値の特性曲線を、それぞれ C H 5 1、C H 5 2、C H 5 3 として示し、負のサージ電圧を加えた場合の端子電圧、端子電流、最大温度上昇値の特性曲線を、それぞれ C H 6 1、C H 6 2、C H 6 3 として示す。

【 0 0 8 8 】

図 1 2 から判るように、保護素子 2 0 0 においては、正のサージ電圧が印加された場合と負のサージ電圧が印加された場合とで、端子電圧および端子電流は中心軸に対して対称な特性曲線を呈しており、最大温度上昇値の特性曲線はサージ電圧の印加極性に対してほぼ無関係となっている。

【 0 0 8 9 】

なお、最大温度上昇値のピークは 5 0 K 程度となっており、図 5 を用いて説明

した保護素子 1 0 0 の温度特性と比べて低いことが判る。

【 0 0 9 0 】

また端子電圧は瞬時的に最高 2 0 V 程度まで上昇しているが、温度上昇は 7 0 K 程度と低く抑えられており、熱的には余裕が大きいことが判る。

【 0 0 9 1 】

次に、正のサージ電圧を印加後、1 0 n s e c の時点における保護素子 2 0 0 中の電流および電位の分布を図 1 3 に示す。図 1 3 において、等電位線 P L は、接地側のベース・コレクタ共通電極 B D 1 1 に近づくほど電位が高くなるように示されている。なお、この時点ではパッド側のベース・コレクタ共通電極 B D 1 1 には 1 1 . 0 9 V の電圧が印加されている。

【 0 0 9 2 】

図 1 3 から判るように、保護素子 2 0 0 においては、主電流が半導体基板の主面に対してほぼ水平な方向に流れ、また高濃度 N 型不純物領域 1 1 および低濃度 N 型不純物領域 1 2 の比較的深い領域に全電流の 7 0 % 程度が分散して流れるので、降伏する P N 接合付近の電流密度が緩和され温度上昇が低くなるものと考えられる。

【 0 0 9 3 】

また、P 型ベース領域 1 4 1 および 1 4 2 と N 型エミッタ領域 1 3 とが接してそれぞれ P N 接合を形成している部分の、P 型ベース領域 1 4 1 および 1 4 2 の表面内に P 型不純物領域 1 6 を設けたので、該当領域での電流の集中が緩和されている。

【 0 0 9 4 】

< B - 3 . 効果 >

以上説明したように、エミッタを共通に接続し逆直列接続となった N P N トランジスタ T 1 1 および T 1 2 と、N P N トランジスタ T 1 1 および T 1 2 の共通のエミッタにベースを接続された P N P トランジスタ T 1 3 とを備え、主電流が半導体基板の主面に対してほぼ水平な方向に流れる保護素子 2 0 0 を用いることで、サージ電圧の抑制効果とともに、保護素子 2 0 0 の温度上昇をさらに低く抑えることができる。

【 0 0 9 5 】

＜ B - 4 . 変形例 1 ＞

図 1 0 に示した保護素子 2 0 0 の断面構成においては、 P 型ベース領域 1 4 1 および 1 4 2 の表面内に、それぞれ N 型不純物を比較的高濃度に含む N 型コレクタ領域 1 5 1 および 1 5 2 を有する構成としたが、このうち、パッド側のベース・コレクタ共通電極 B D 1 1 に接続される N 型コレクタ領域 1 5 1 を削除した構成を採るようにしても良い。

【 0 0 9 6 】

この構成についての回路図を図 1 4 に示す。図 1 4 に示すように、保護素子 2 0 0 A は、図 9 に示す保護素子 2 0 0 の N P N トランジスタ T 1 1 をダイオード D 1 1 に置き換えた構成に相当する。従って、図 1 0 に示したベース・コレクタ共通電極 B D 1 1 はアノード・エミッタ共通電極 B D 1 1 と読み替えることになる。また、 N 型コレクタ領域 1 5 1 の直下に設けていた P 型不純物領域 1 6 は不要となる。

【 0 0 9 7 】

図 1 5 に、上記 N 型コレクタ領域 1 5 1 を削除した構成において、 H B M に基づく 1 k V の静電気放電サージを印加した場合の応答特性についてのデバイスシミュレーションを行った結果を示す。

【 0 0 9 8 】

図 1 5 において、横軸に経過時間 (sec) を、縦軸には端子電圧 (V) 、端子電流 (A) 、最大温度上昇値 (K) を示す。なお、縦軸、横軸ともに対数表示であるが、縦軸の端子電圧、端子電流および最大温度上昇値については、 ± 1 V 、 ± 1 A および ± 1 K を中心軸とし、上側に正の値を示し、下側に負の値を示すようにしている。

【 0 0 9 9 】

図 1 5 においては、入出力端子 P D 1 1 を接地端子 G D 1 1 に対して正にバイアスした場合、すなわち正のサージ電圧を加えた場合の各種の応答特性を実線で示し、接地端子 G D 1 1 に対して負にバイアスした場合、すなわち負サージ電圧を加えた場合の各種の応答特性を破線で示す。また、正のサージ電圧を加えた場

合の端子電圧、端子電流、最大温度上昇値の特性曲線を、それぞれCH71、CH72、CH73として示し、負のサージ電圧を加えた場合の端子電圧、端子電流、最大温度上昇値の特性曲線を、それぞれCH81、CH82、CH83として示す。

【0100】

図15から判るように、保護素子200Aにおいては、正のサージ電圧が印加された場合、10nsecの時間が経過すると、端子電圧は大幅な低下を示し、100nsecの時点で、2V程度にまで減少する。また、最大温度上昇値も、端子電圧の低下に伴って40K程度にまで減少している。

【0101】

なお、負のサージ電圧が印加された場合には、瞬間的に端子電圧が-40Vを超えるので、-40Vを超えた時点でシミュレーションを打ち切っている。

【0102】

このように端子電圧が大幅な低下を示す理由は、パッド側のN型コレクタ領域151を削除した構成においては、パッド側のP型ベース領域141から、低濃度N型不純物領域12へのホールの注入が容易に起こるようになり、サイリスタ動作が起こるためである。

【0103】

このように、保護素子200Aにおいては、温度上昇がさらに低く抑えられるので、負のサージ電圧が加わらない環境下で使用するなど、用途を限定すれば保護素子として、さらに面積を小さくすることができる。

【0104】

< B - 5 . 変形例 2 >

図10に示した保護素子200の断面構成においては、P型半導体基板10上に、高濃度N型不純物領域11を有する構成を示したが、図16に示す保護素子200Bのように、高濃度N型不純物領域11の代わりにシリコン酸化膜等の埋め込み絶縁層BXとしても同様な動作が得られる。また、高濃度N型不純物領域11を埋め込み絶縁層BXに代えることで、SOI型素子への応用が可能となる。

【 0 1 0 5 】

なお、図 1 6 においては、図 1 0 に示した保護素子 2 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 1 0 6 】

【発明の効果】

本発明に係る請求項 1 記載の半導体装置によれば、ベース電極とコレクタ電極とが接地電位に接続され、主電流が半導体基板の主面にほぼ垂直な方向に流れる縦型 N P N トランジスタを半導体集積回路の保護素子として用いることになり、サージ電圧の抑制効果とともに、保護素子の温度上昇も低く抑えることができる。

【 0 1 0 7 】

また、端子電流が所定値を超えると、ベース・コレクタ接合が順バイアスとなり、不純物濃度が低い N 型コレクタ領域においては伝導度変調が発生し、抵抗成分は低くなる。このため、素子面積が小さくても E S D サージによる大きな電流が流れても素子が破壊されることがないので、素子面積を小さくでき、経済的な保護素子を得ることができる。

【 0 1 0 8 】

また、サイリスタ素子を用いないので、サイリスタ素子がサージ電圧でラッチした後も電流が流れ続けるという問題がなく、出力保護回路などの回路インピーダンスが低い回路に対しても適用できる。

【 0 1 0 9 】

本発明に係る請求項 3 記載の半導体装置によれば、第 1 および第 2 の N P N トランジスタが、それぞれのエミッタが共通に接続され、第 1 の N P N トランジスタのコレクタおよびベースが入出力端子に接続され、第 2 の N P N トランジスタのコレクタおよびベース電極が接地端子に接続され、 P N P トランジスタのベースが、第 1 および第 2 の N P N トランジスタのそれぞれのエミッタに共通に接続され、エミッタが入出力端子に接続された半導体装置を半導体集積回路の保護素子として用いることになり、サージ電圧の抑制効果とともに、保護素子の温度上昇をさらに低く抑えることができる。

【 0 1 1 0 】

本発明に係る請求項 6 記載の半導体装置によれば、NPN トランジスタのエミッタと PNP トランジスタのベースとの接続部に、ダイオードを通してホールの注入が容易に起こるようになり、サイリスタ動作により温度上昇をさらに低く抑えることができる。

【図面の簡単な説明】

【図 1】 本発明に係る実施の形態 1 の保護素子の構成を示す回路図である。

【図 2】 本発明に係る実施の形態 1 の保護素子の構成を示す断面図である。

【図 3】 本発明に係る実施の形態 1 の保護素子の動作特性を説明する図である。

【図 4】 本発明に係る実施の形態 1 の保護素子の電流および電位の分布シミュレーションの結果を示す図である。

【図 5】 本発明に係る実施の形態 1 の保護素子の動作特性を説明する図である。

【図 6】 本発明に係る実施の形態 1 の保護素子の電流および電位の分布シミュレーションの結果を示す図である。

【図 7】 本発明に係る実施の形態 1 の保護素子の動作特性を説明する図である。

【図 8】 本発明に係る実施の形態 1 の保護素子の電流および電位の分布シミュレーションの結果を示す図である。

【図 9】 本発明に係る実施の形態 2 の保護素子の構成を示す回路図である。

【図 10】 本発明に係る実施の形態 2 の保護素子の構成を示す断面図である。

【図 11】 本発明に係る実施の形態 2 の保護素子の動作特性を説明する図である。

【図 12】 本発明に係る実施の形態 2 の保護素子の動作特性を説明する図

である。

【図 1 3】 本発明に係る実施の形態 2 の保護素子の電流および電位の分布シミュレーションの結果を示す図である。

【図 1 4】 本発明に係る実施の形態 2 の保護素子の変形例 1 の構成を示す回路図である。

【図 1 5】 本発明に係る実施の形態 2 の保護素子の変形例 1 の動作特性を説明する図である。

【図 1 6】 本発明に係る実施の形態 2 の保護素子の変形例 2 の構成を示す断面図である。

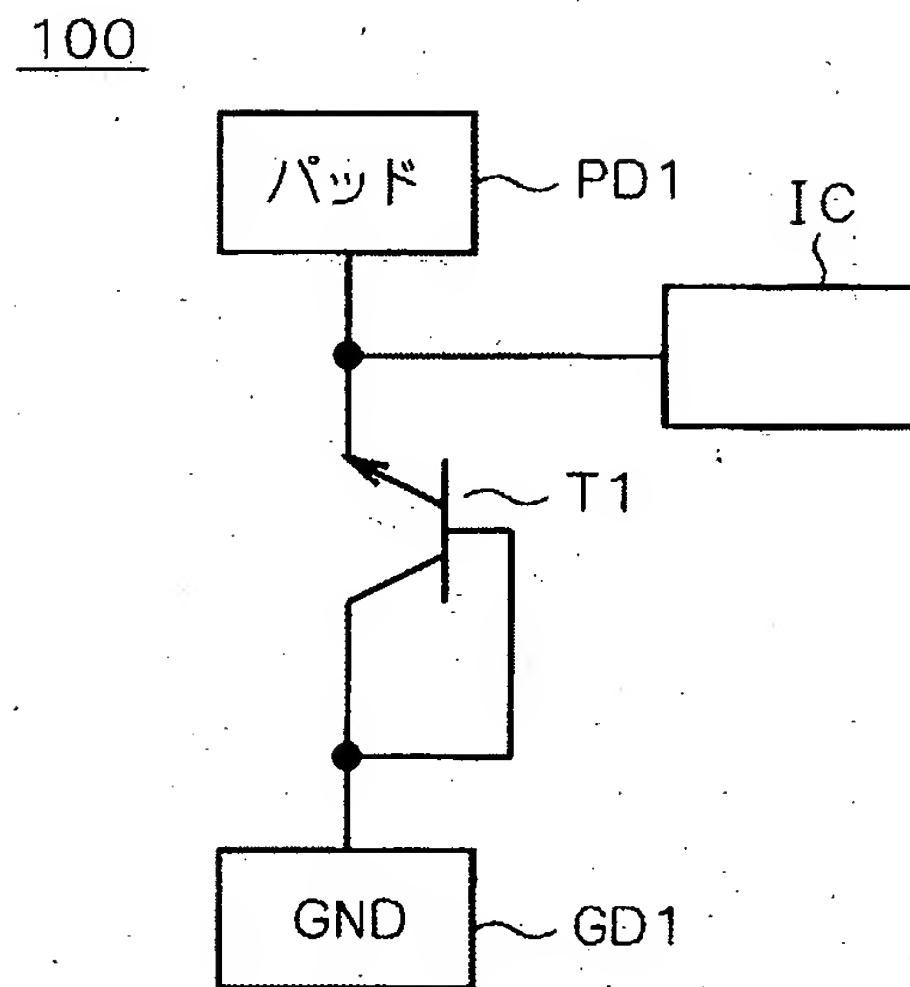
【符号の説明】

1 N型コレクタ領域、3 P型ベース領域、4 ベースコンタクト領域、6
、16 P型不純物領域、7 N型エミッタ領域、12 低濃度N型不純物領域
、13 N型エミッタ領域、141, 142 P型ベース領域、151, 152
N型コレクタ領域、BD1 ベース電極、ED1 エミッタ電極、CD1、コ
レクタ電極、GD1, GD11 接地端子、PD1, PD11 入出力端子、B
D11, BD12 ベース・コレクタ共通電極。

【書類名】

図面

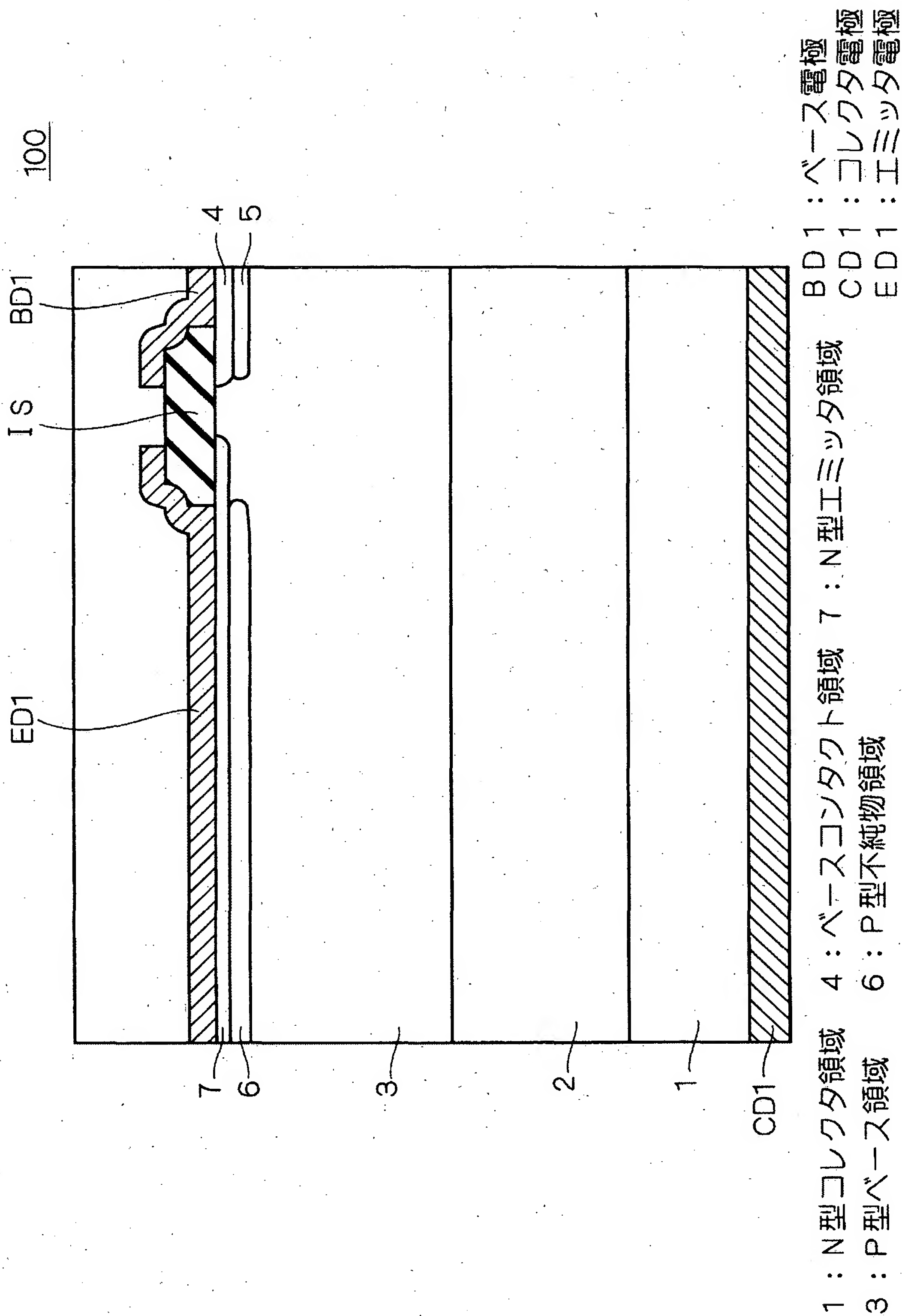
【図 1】



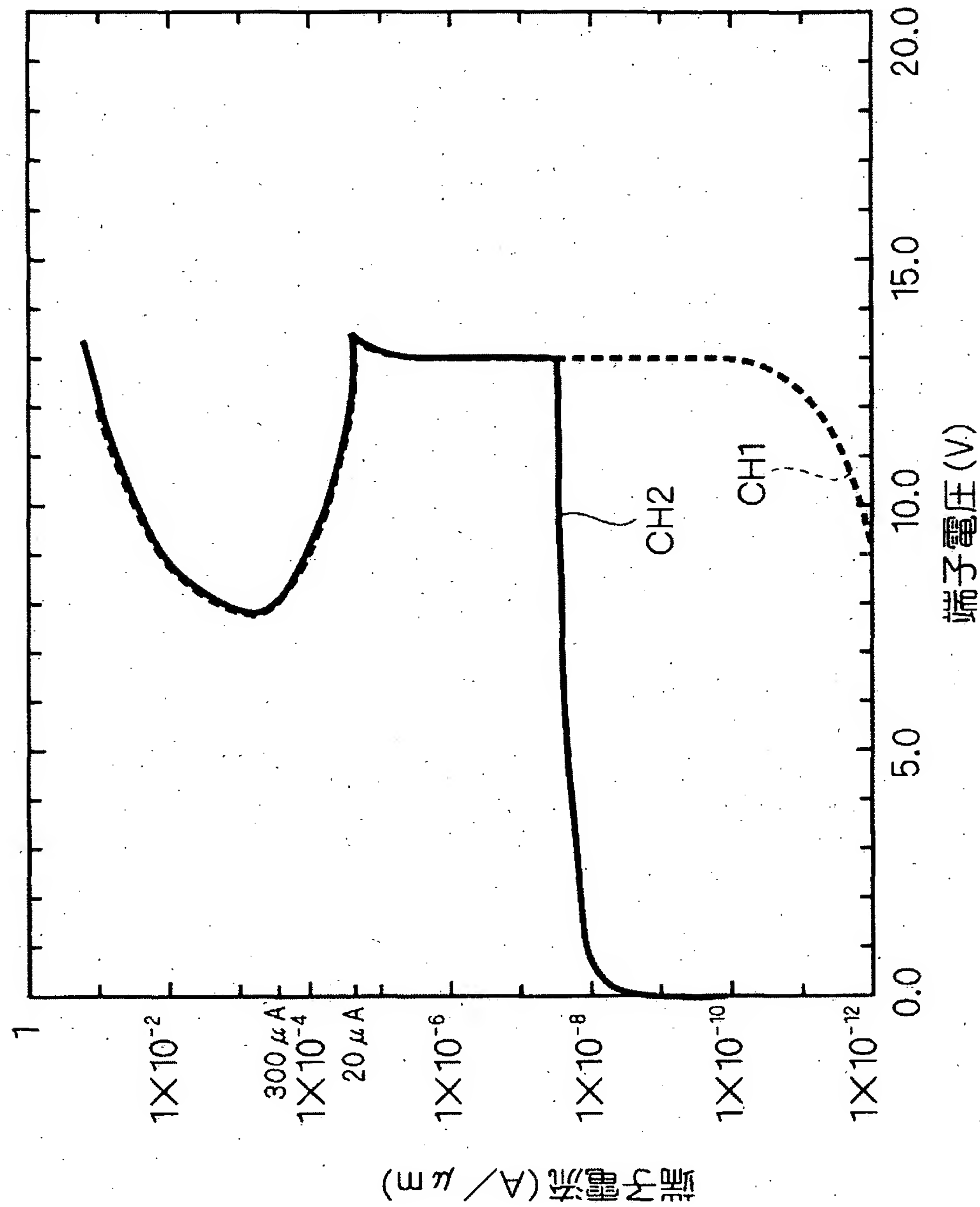
PD1:入出力端子

GD1:接地端子

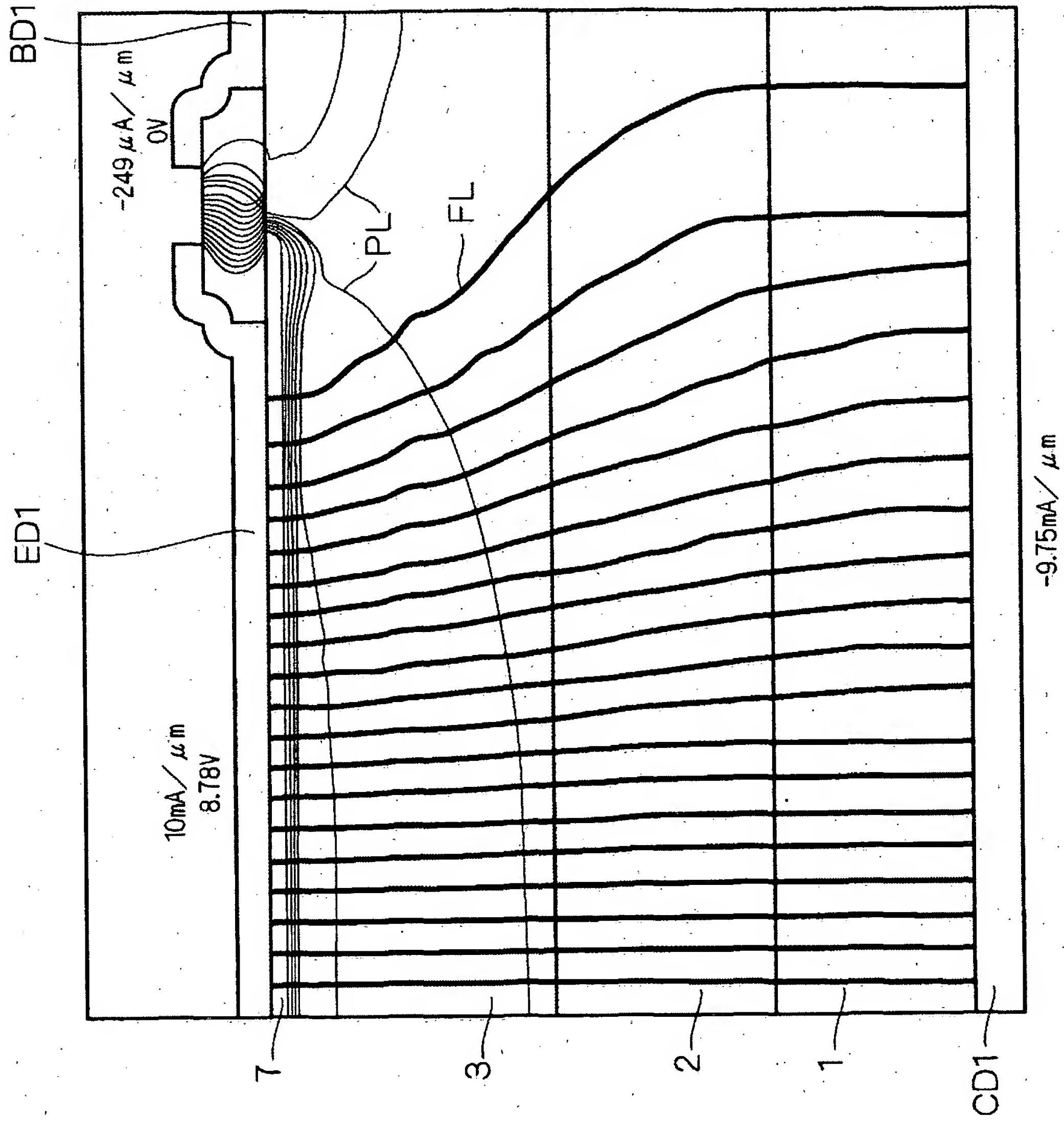
【図2】



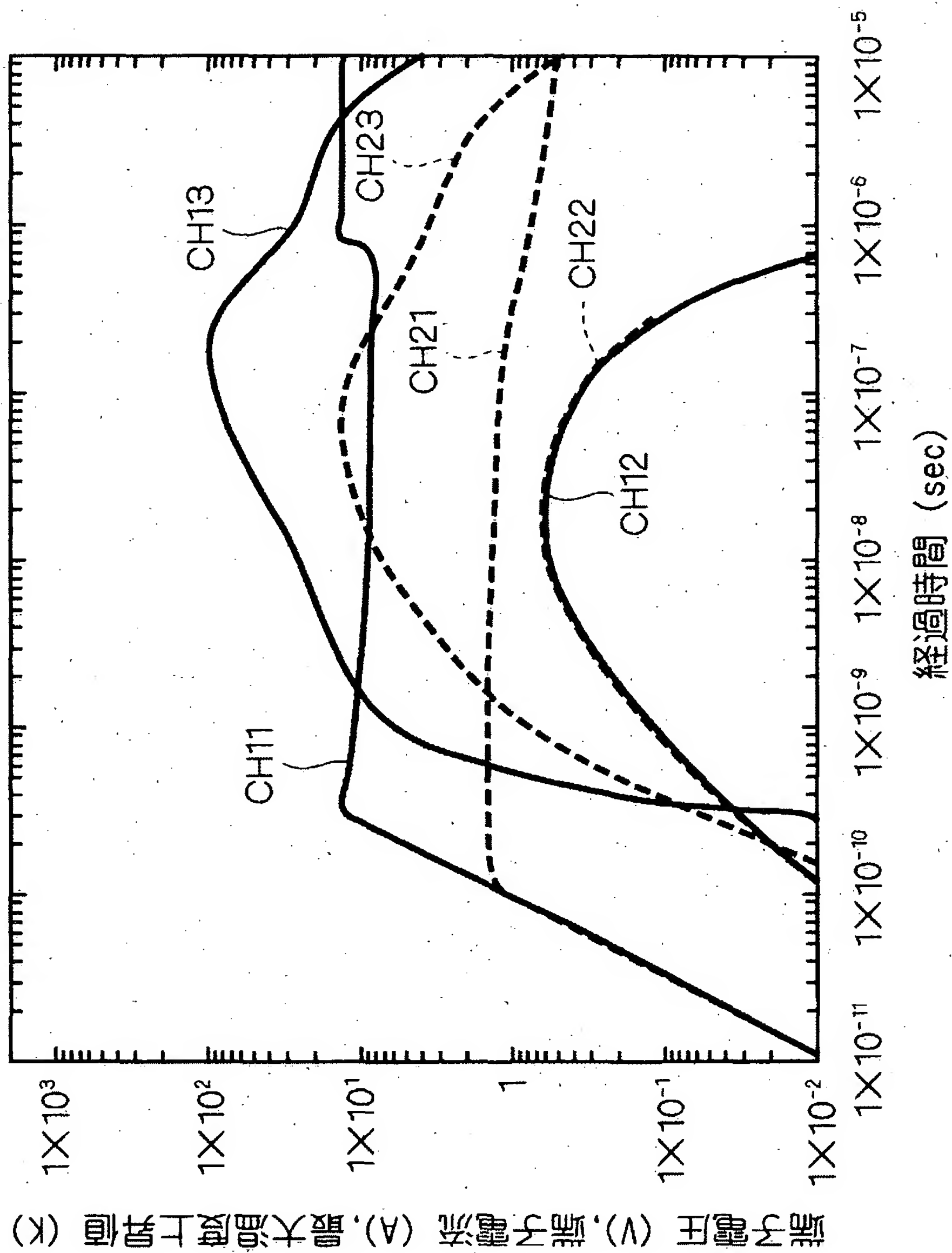
【図 3】



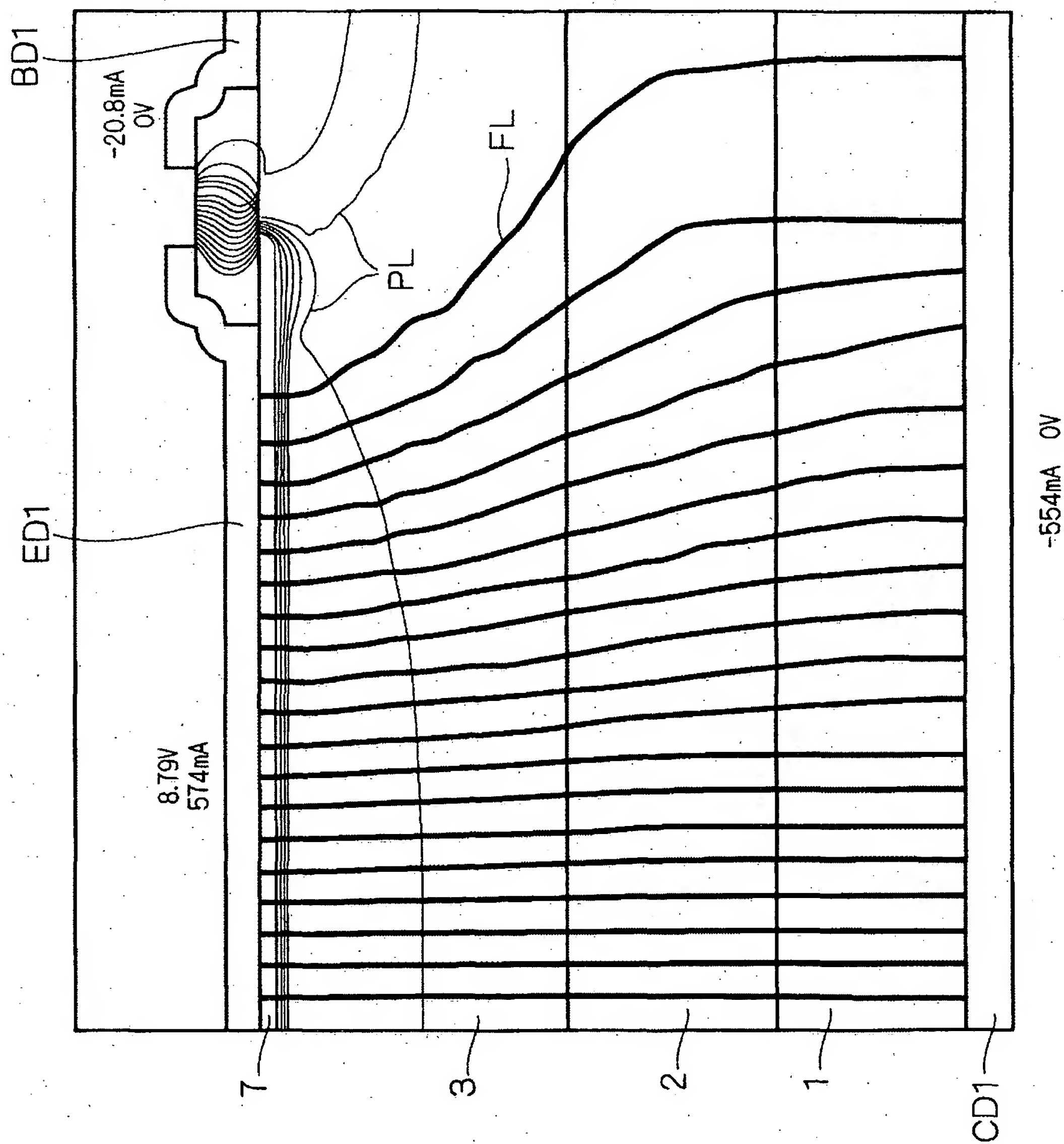
【図 4】



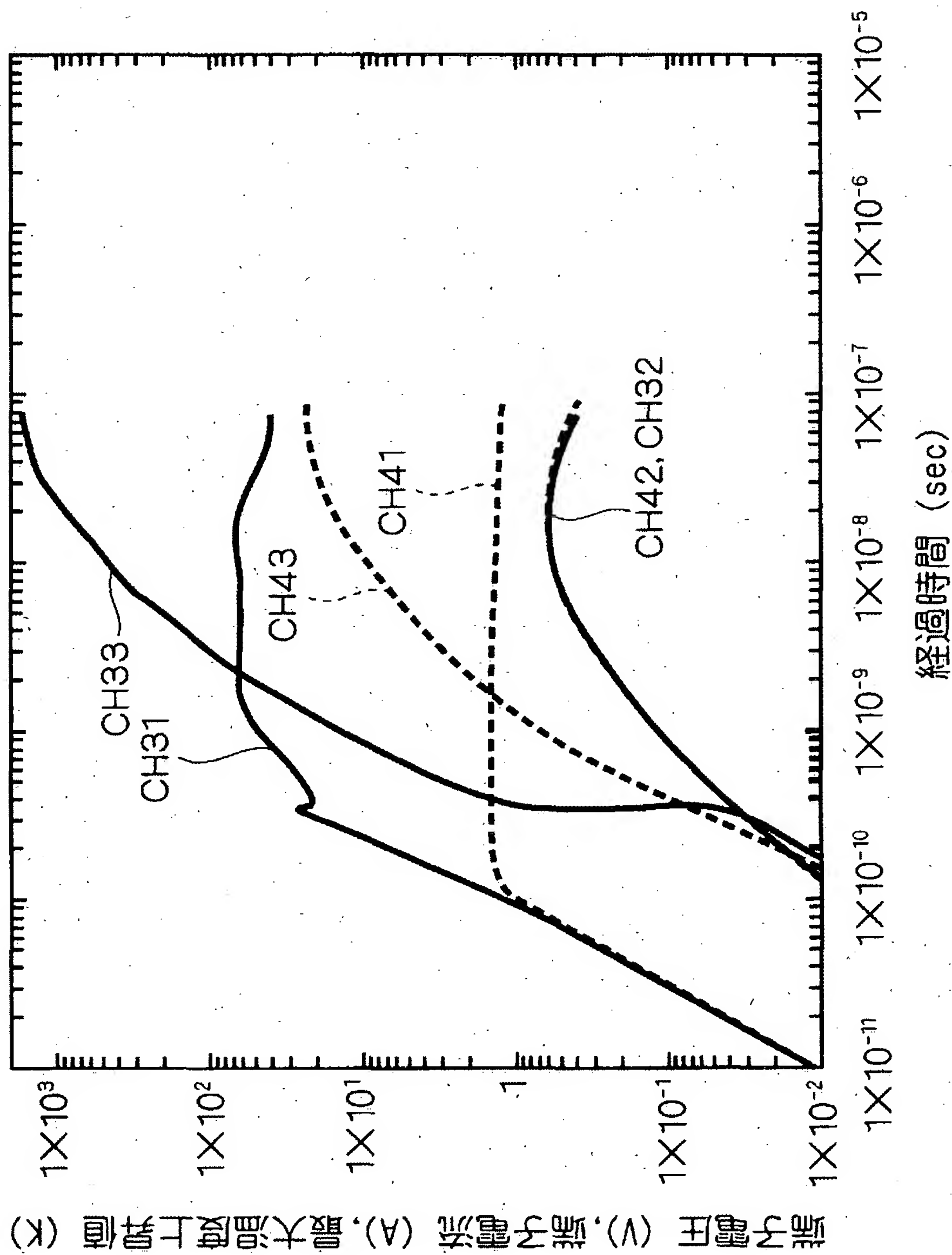
【図 5】



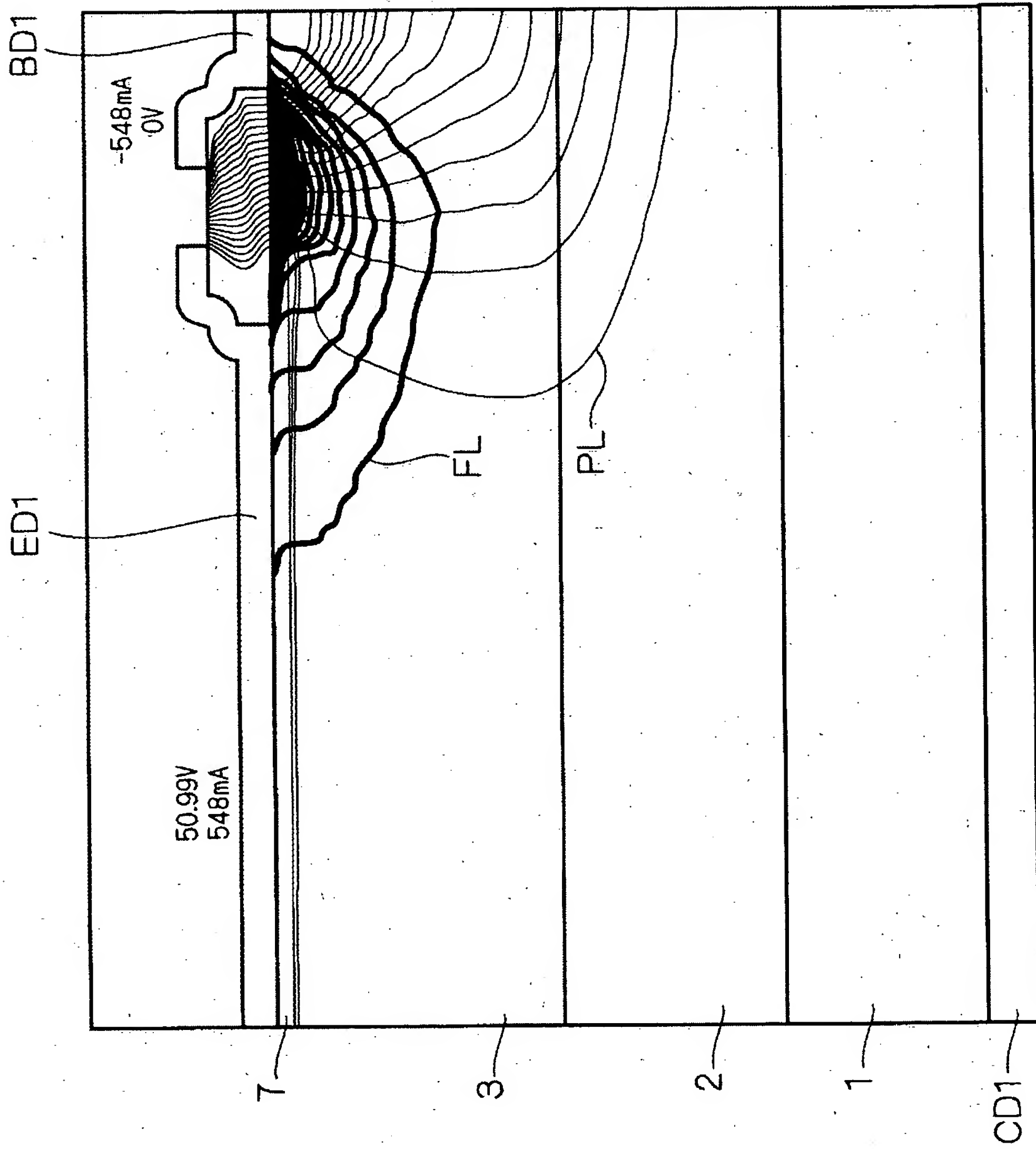
【図 6】



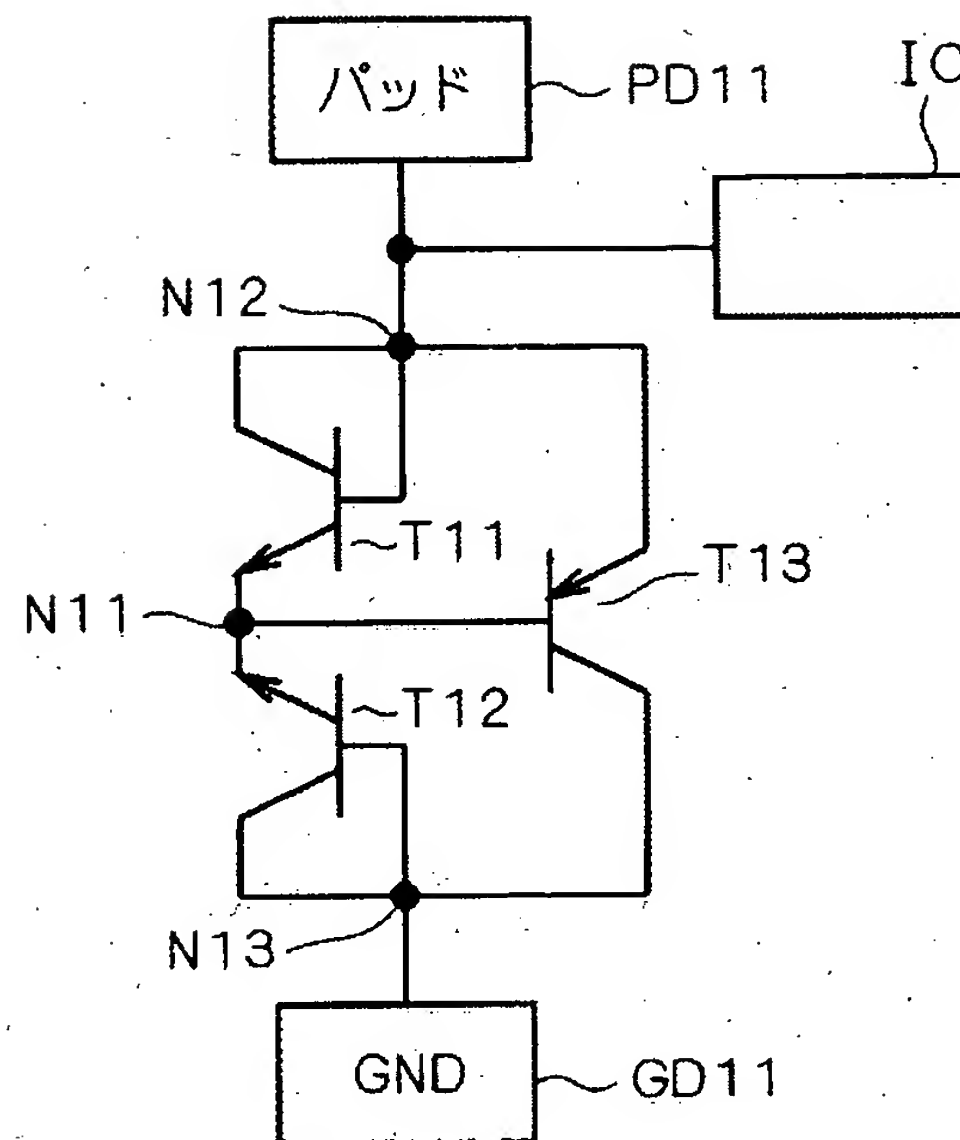
【図 7】



【図 8】

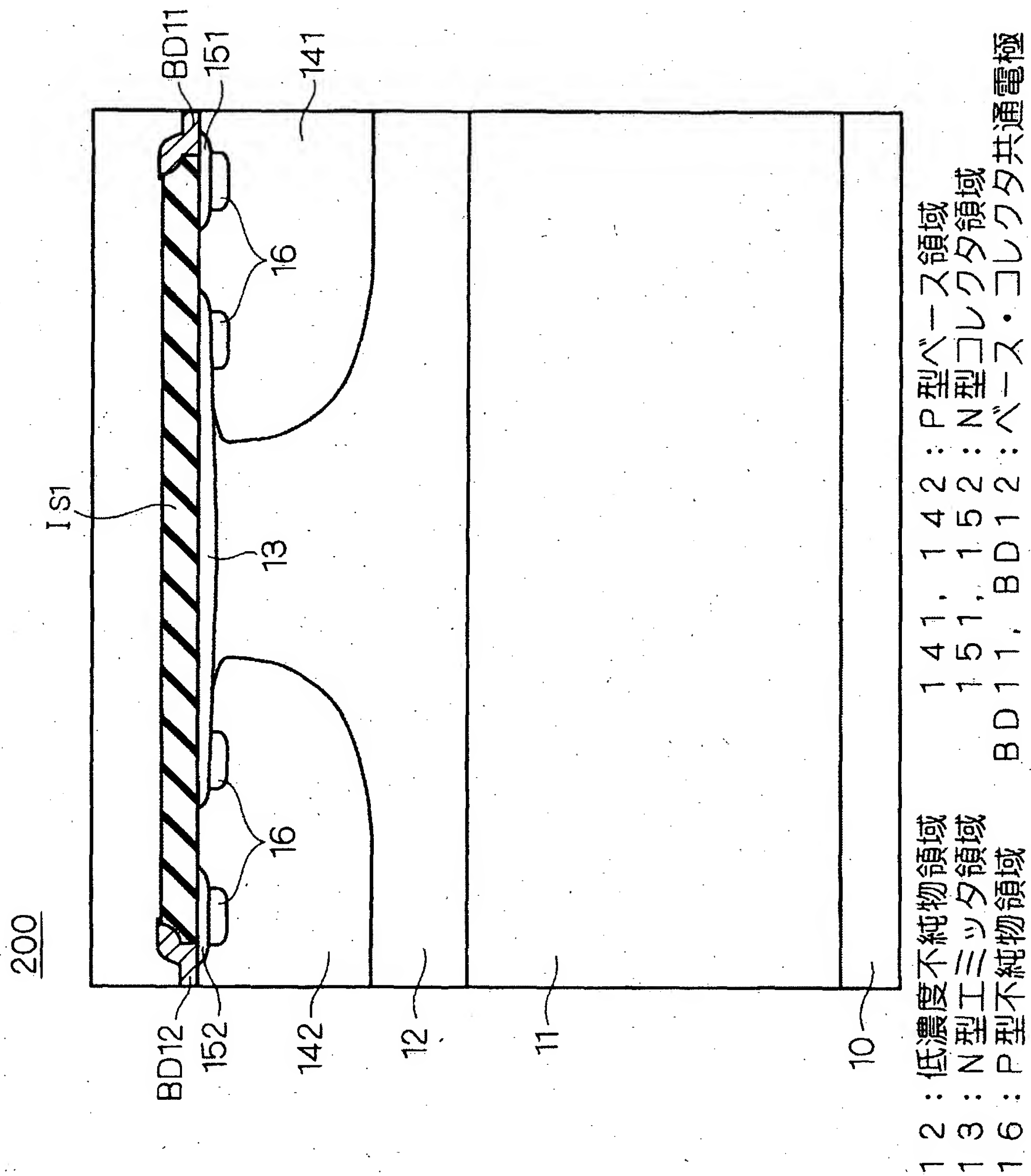


【図9】

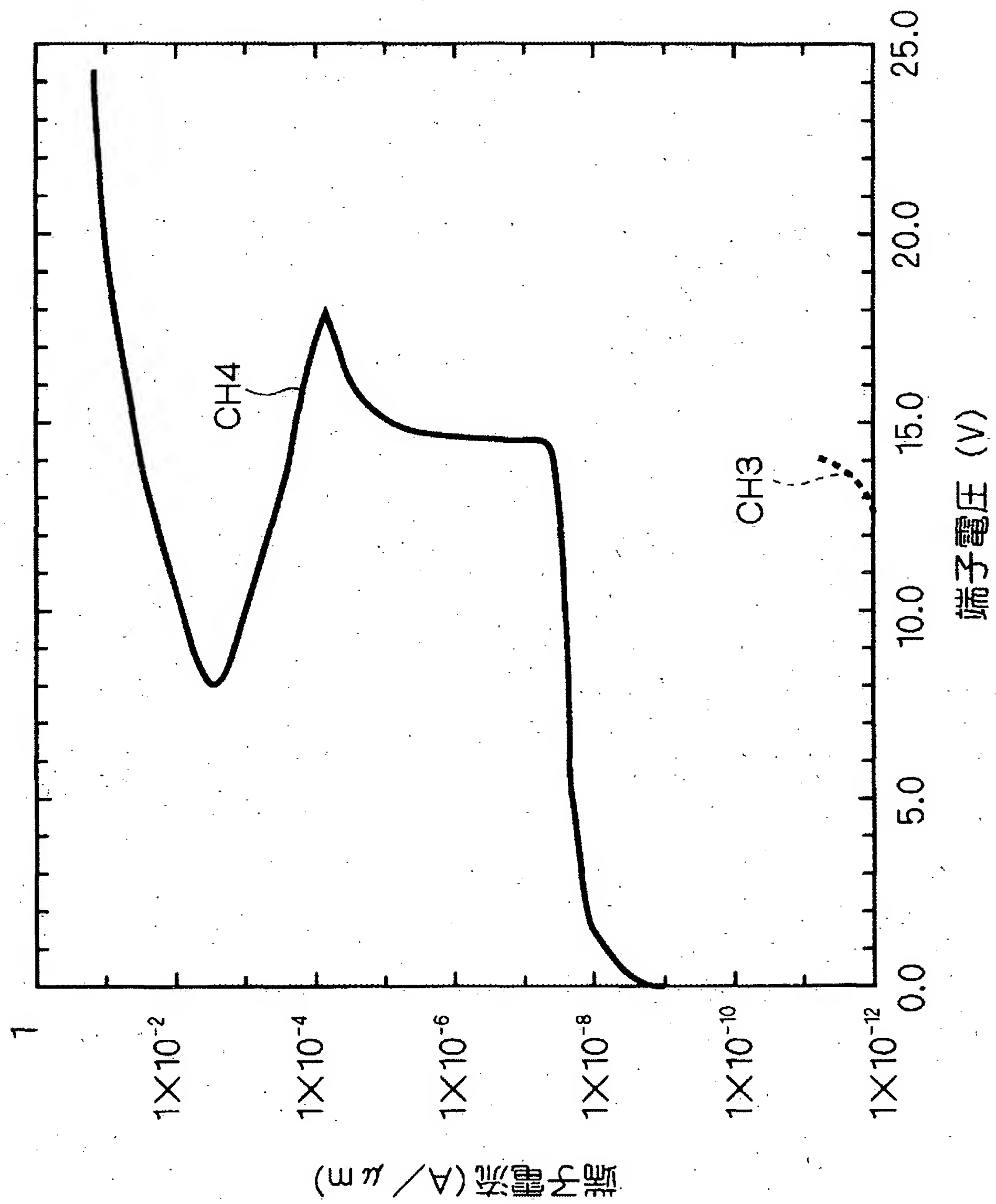


PD11:入出力端子 GD11:接地端子

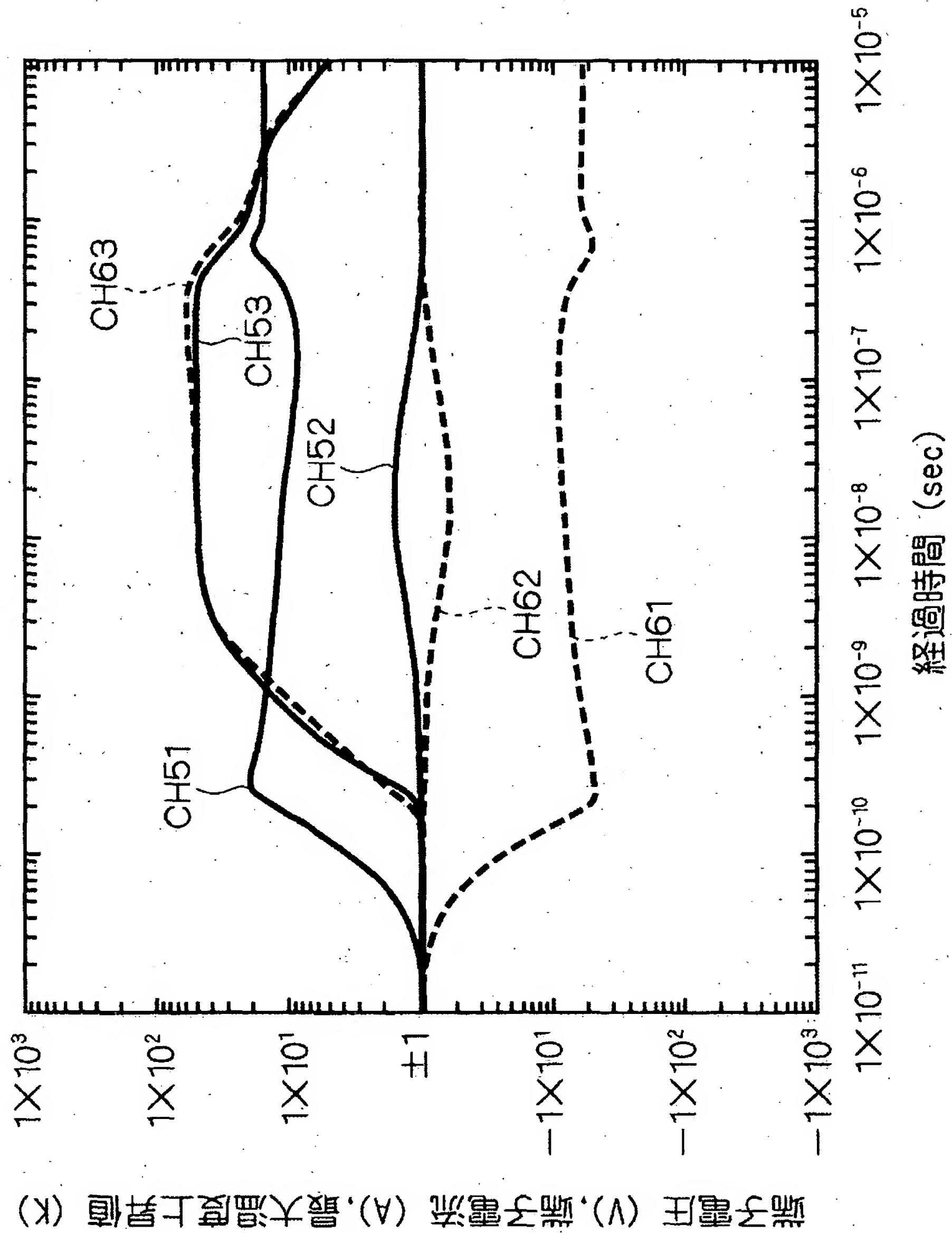
【図 10】.



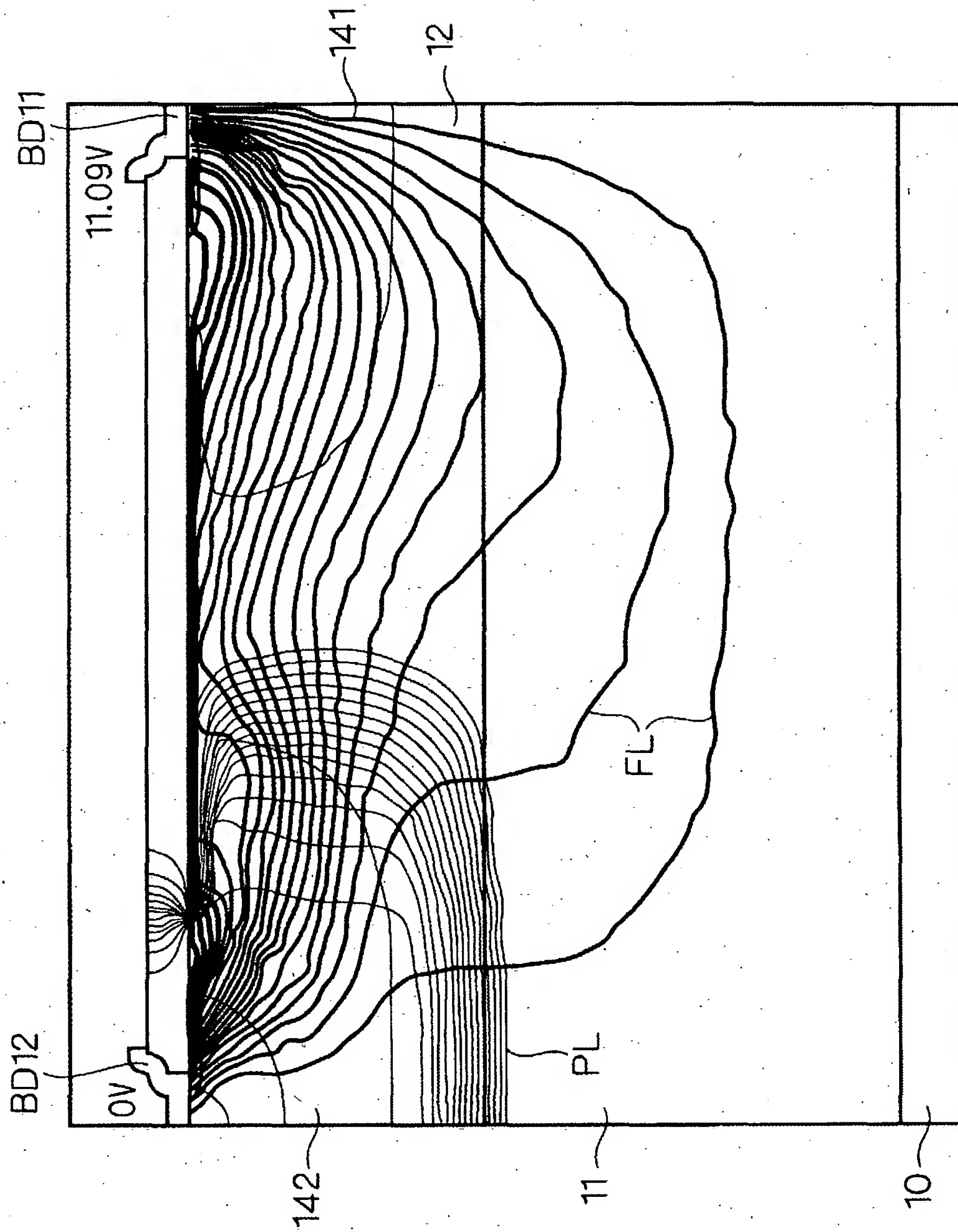
【図 1 1】



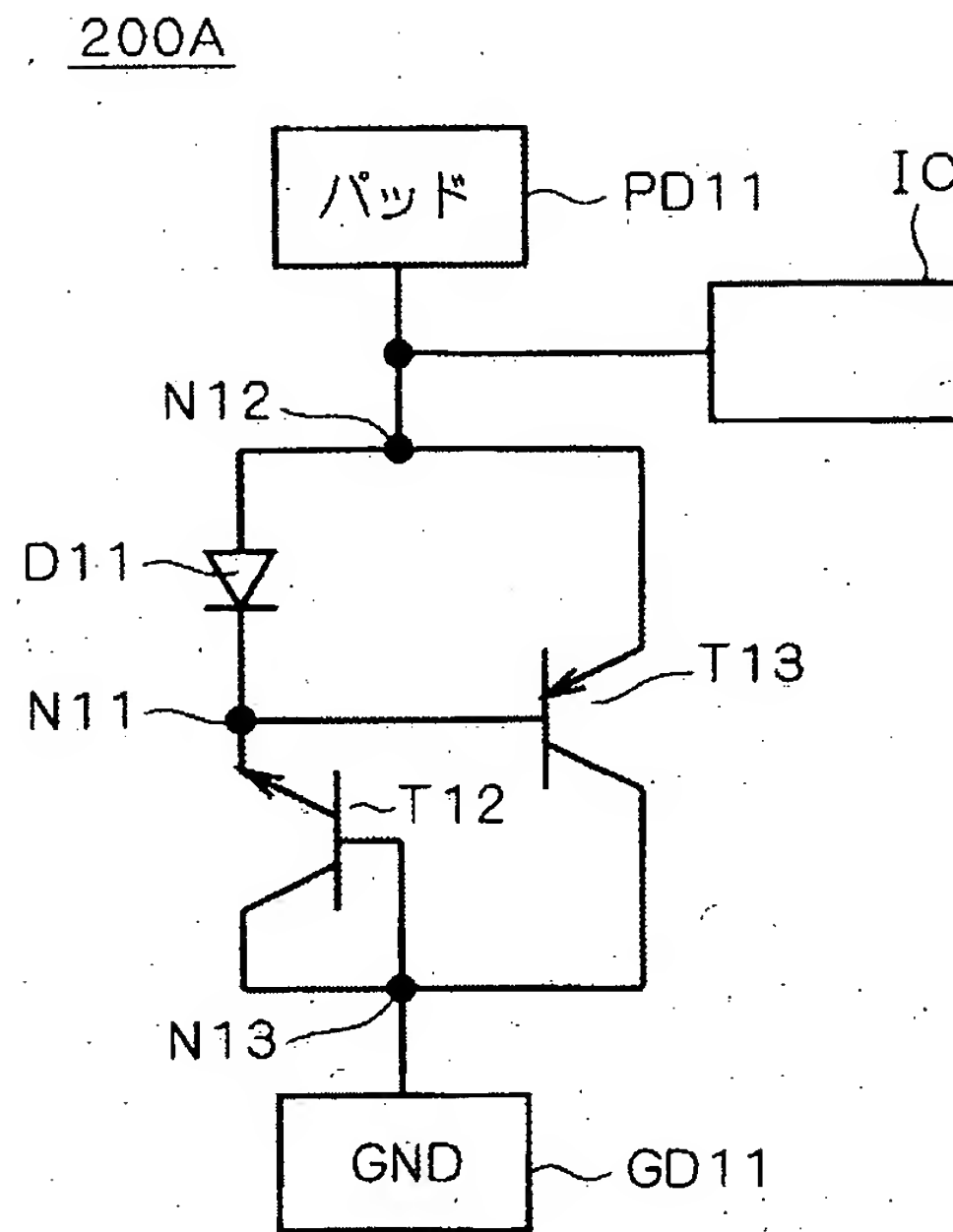
【図 1-2】



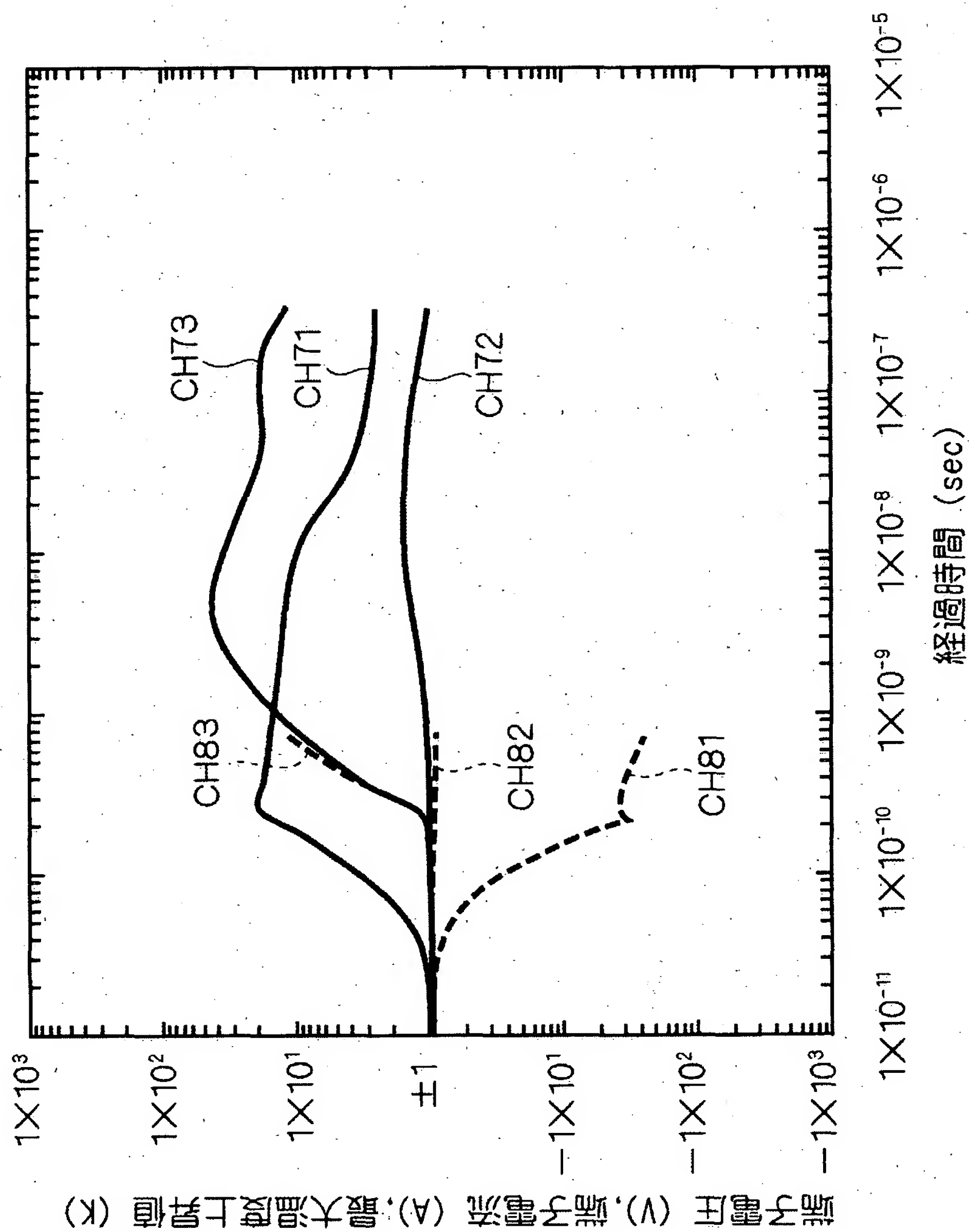
【図 1 3】



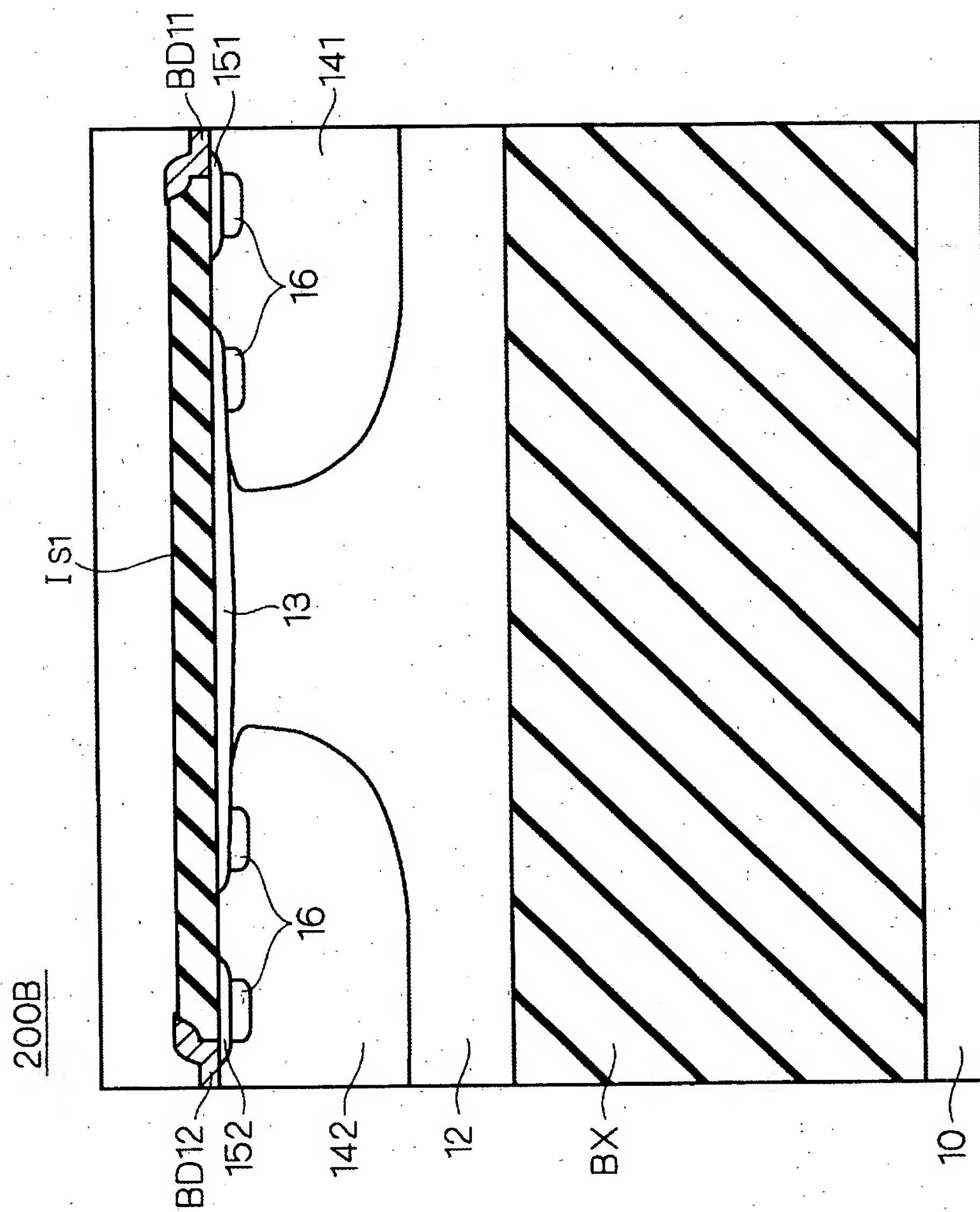
【図 1 4】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 小型化され低消費電力の半導体集積回路や、低価格の半導体集積回路に対しても、コストに見合ったサージ電圧に対する耐性が得られる半導体装置を提供する。

【解決手段】 コレクタ電極C D 1上に配設されたN型コレクタ領域1と、N型コレクタ領域1上に配設された低濃度N型コレクタ領域2と、低濃度N型コレクタ領域2上に配設されたP型ベース領域3とを備えている。そして、P型ベース領域3の表面内には、ベースコンタクト領域4およびN型エミッタ領域7が、それぞれ選択的に配設され、ベースコンタクト領域4およびN型エミッタ領域7とは直接接触することなく配設されている。また、ベースコンタクト領域4の表面上にはベース電極B D 1が配設され、N型エミッタ領域7の表面上にはエミッタ電極E D 1が配設されている。

【選択図】 図2

特2003-018555

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社